

Overview

2022年6月9日 13:54

Overview

功能验证（前仿真）：抽象RTL，逻辑功能验证

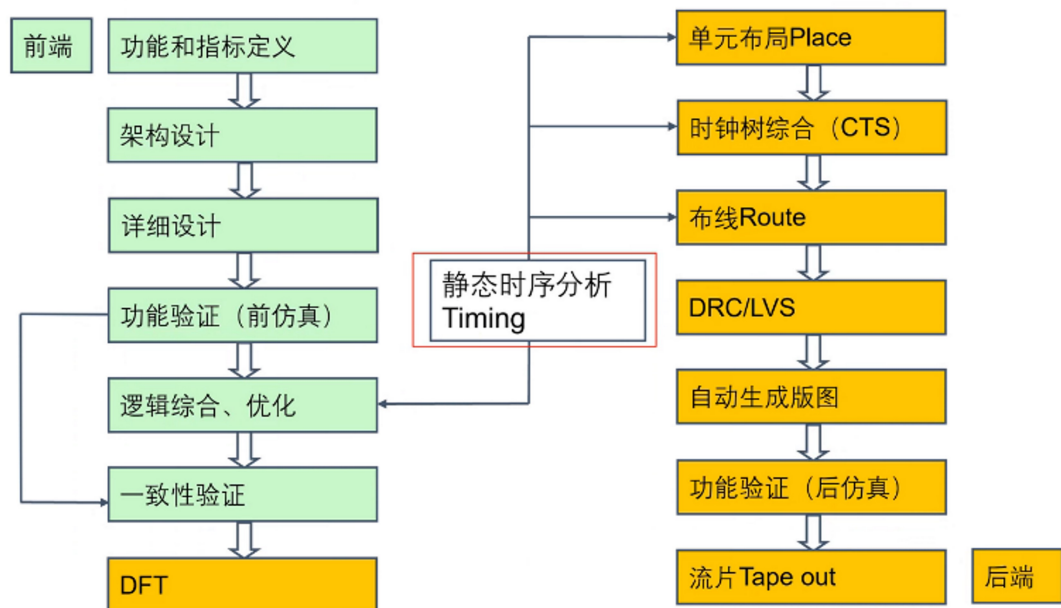
逻辑综合和优化：RTL >>> Gatech，优化在于考虑时序约束

一致性验证：Netlist和RTL的功能一致

静态时序分析：逻辑综合开始，Place, CTS, Route, 功能验证（后仿真）

功能验证（后仿真）：signoff, 功能覆盖率全

数字芯片设计流程



FPGA STA vs. IC STA: 脚本和约束差异

STA check setup time && hold time

Setup time 采样的D触发器时钟上升沿之前数据需要稳定的时间

Hold time 采样的D触发器时钟上升沿之后数据需要稳定的时间

同步电路必须满足setup和hold

异步电路单独处理

SOC: 全局异步，局部同步，降低数据传输出现的亚稳态

综合-DFT-数字后端 (CTS)，STA存在。每个阶段检查D触发器是否正确采样

STA vs. Functional Veri (Simulation)