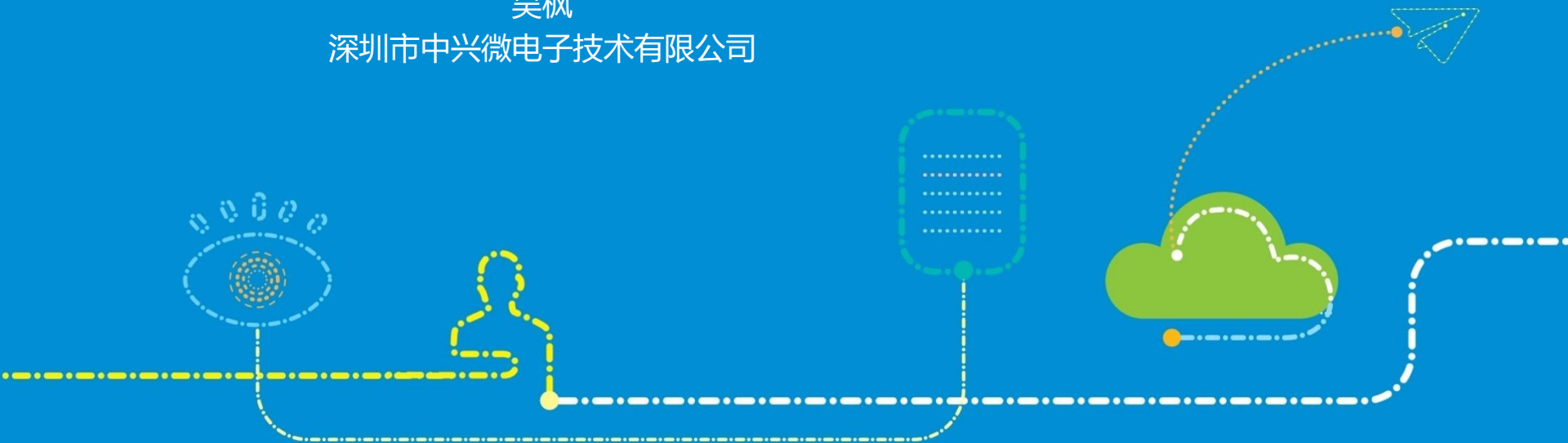


Chiplet/3DIC技术的发展趋势与挑战

吴枫

深圳市中兴微电子技术有限公司



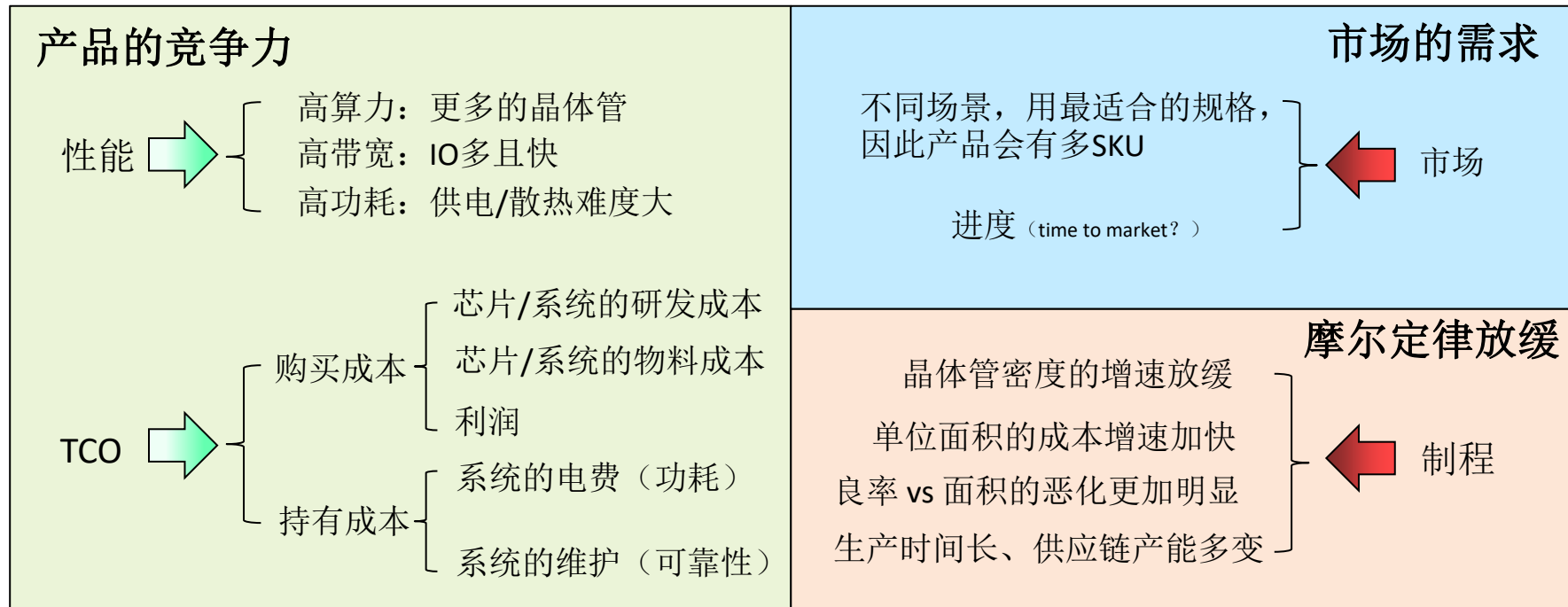
个人简介--吴枫

- 2021年加入中兴微电子，担任总工程师。中兴通讯青年领军人才，中兴通讯战略专家组成员。目前主要负责芯片与封装的电性能、供电方案、芯片的系统集成
- 17年芯片、封装、系统的高速SI/PI设计经验
- 曾在Intel、Cisco、Renesas、Nokia担任技术专家
- 西安电子科技大学高速电路与电磁兼容实验室兼职特聘教授
- 清华大学自动化系学士与硕士学位



- Chiplet技术的发展趋势
- 3DIC技术的发展趋势
- Chiplet/3DIC的设计挑战

技术背景：困局促进了Chiplet/3D IC技术的蓬勃发展



进入后摩尔时代之后，单Die方案很难从设计上解决上述多因素之间的矛盾

什么是Chiplet技术?



From Intel

多个具有特定功能的小芯粒(chiplet)，通过die-to-die 互联技术封装在一起，建立一个“小芯粒”的集成系统

Chiplet技术的价值

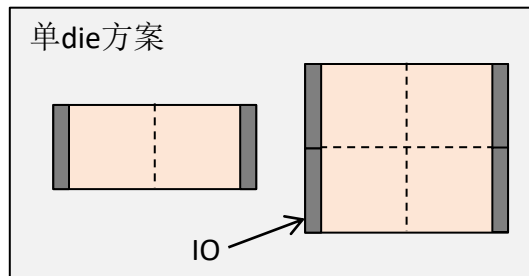
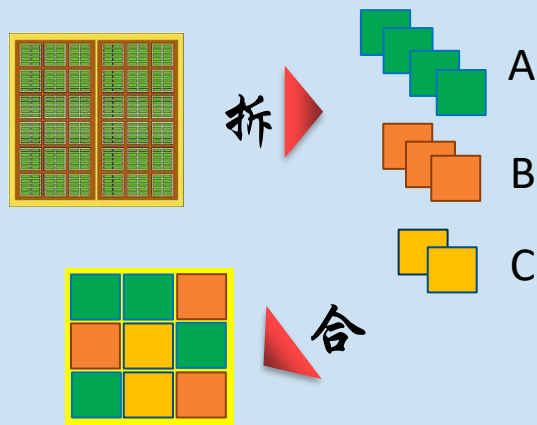
内部公开 ▲

成本：降低die size，提升良率，制程匹配

性能：芯片的总晶体管数和IO数量推高

进度：通过IP/chiplet复用，缩短TTM

灵活：通过组合满足不同市场需求



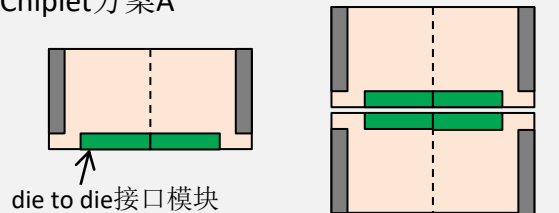
优势

- Die内信号传输性能高
- 整体功耗优势

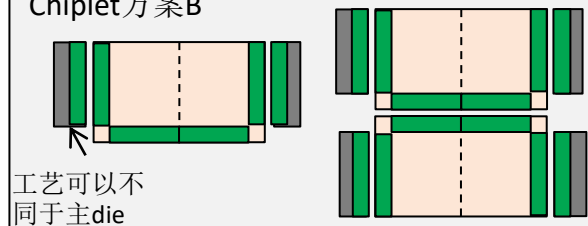
劣势

- 大芯片成本高, 良率难提升
- 模拟IP的制程性价比不高
- 每个场景需要重新设计硅片

Chiplet方案A



Chiplet方案B



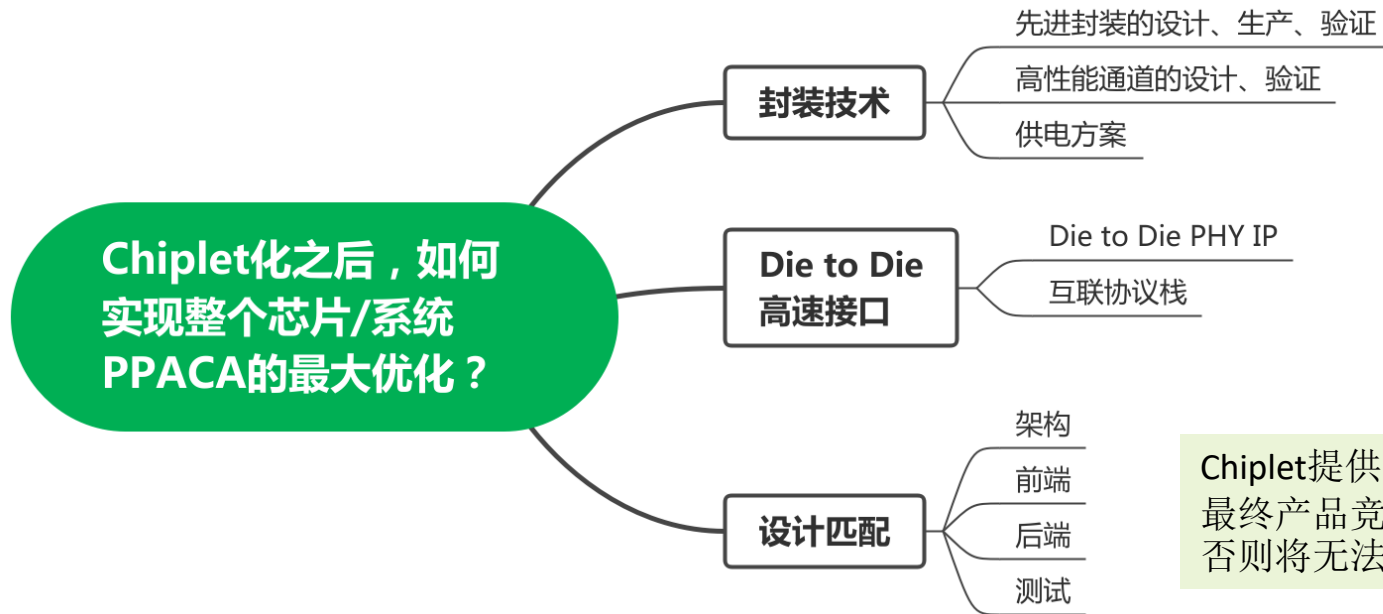
- 单Die良率更高，面积合理的情况下成本更有优势
- 不同功能的Die可以选择最适合的工艺
- 通过组合满足不同市场需求，而不需重新设计硅片

- Die间互联需要配合先进封装或增加封装走线资源
- Die间互联模块的面积、延时、功耗开销
- 部分场景，设计需要做适配



通过关键技术加以改进

Chiplet的关键技术



Chiplet提供了通用基础技术，最终产品竞争力主要靠设计，否则将无法发挥最大的收益。

PPACA: Performance, Power, Area, Cost, Aging (reliability)

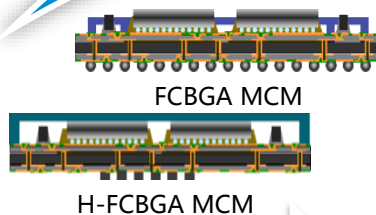
Chiplet的关键技术：先进封装的发展趋势

内部公开 ▲

High
Functional Integration
Low

Stage1(2000s ~ 2010s)

Organic Substrate
Bump Pitch: >130um
Line Space: >10um

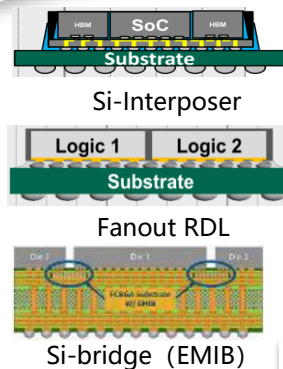


2D MCM

01

Stage2(2010s ~ 2020s)

Integrated Fanout(InFO) 、
Silicon Interposer
Bump Pitch:>36um
Line Space:>2um(InFO)
>0.4um(CoWoS)

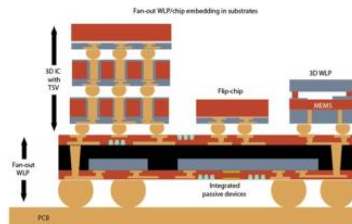


2.5D 封装

02

Stage3(2020s ~ 2022s)

SOIC、Foveros
Bump pitch: >25um
Line Space:>0.4um



3D封装

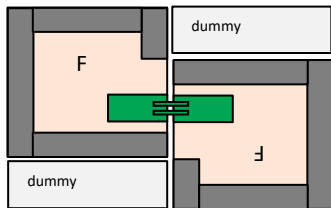
03

国内厂商积极布局

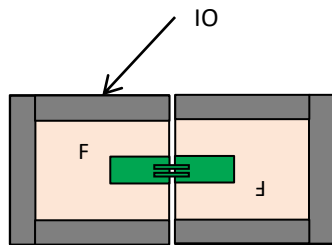
先进封装技术已不再是传统封装技术的范畴，已发展成为晶圆级、系统级封装技术，未来会成为延续摩尔定律的存在

Chiplet的关键技术：Die to Die高速接口

并行接口

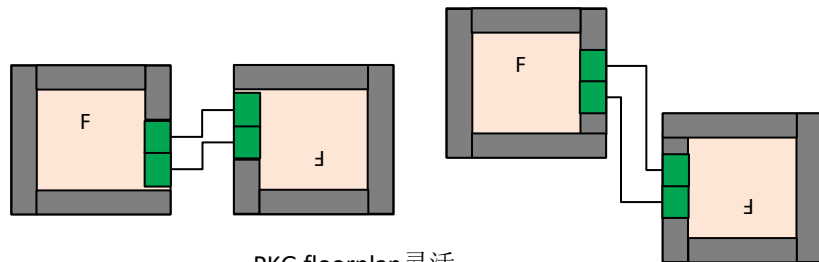


同构，IP可以不居中，但会不平衡，即便通过dummy补偿，也会不对称



同构如果中心摆放IP，则会平衡和对称。

串行接口



PKG floorplan灵活
die floorplan灵活

优势

- 物理层简单
- 总带宽高（使用先进封装+海量lane数）
- IP自身延时、面积、功耗更小
- 电源集中，对IO干扰少

劣势

- 传输距离短
- 两个die需要相邻摆放，影响PKG floorplan
- IP的形状和摆放位置，影响die floorplan质量和尺寸
- Die总面积可能变大（interposer面积大）
- 拼接的边，一般IO数目和出线受限
- 必须使用先进封装，使用普通MCM则带宽急剧下降
- 线多，对可靠性要求高，配合物理冗余
- 一定的热耦合
- 大面积的die集中在中间（热）应力较高的区域

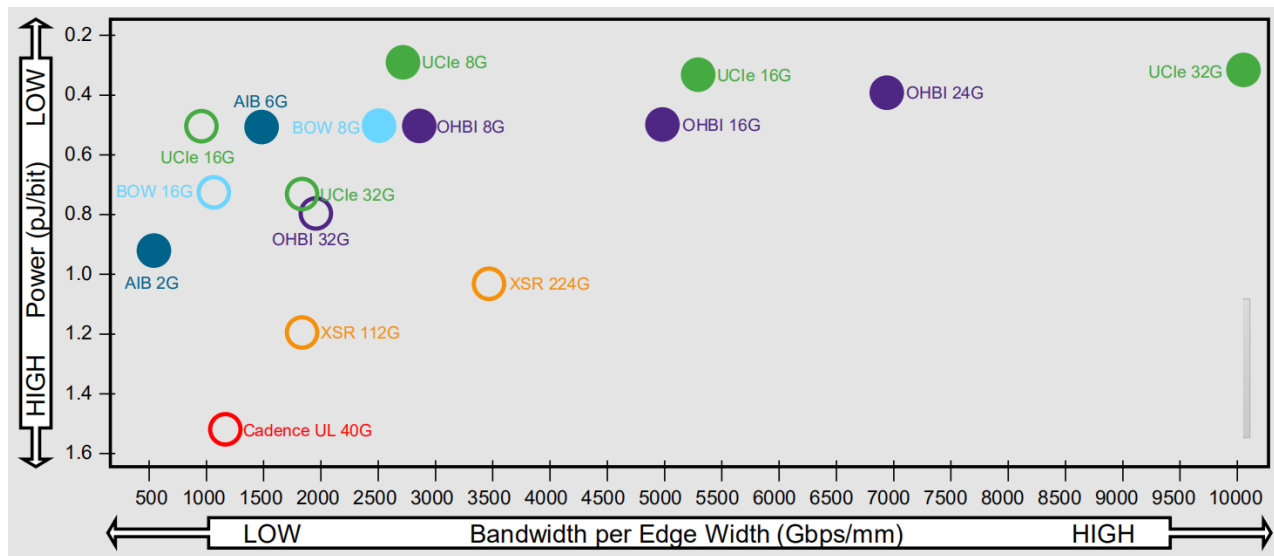
- 传输距离长
- 单个IP面积小，摆放灵活度高，die floorplan质量高
- Die摆放灵活度高，PKG floorplan质量好
- IO数目和出线限制少
- 可以使用普通MCM架构，不依赖先进封装
- 热相对友好
- 应力相对友好

- 电源分散，容易严重侵占IO区域
- Die分散摆放，占用基板的面积
- D2D走线占用基板走线资源
- 物理层复杂
- 总带宽低（同样的功耗下）
- IP自身延时、面积、功耗更大

Chiplet的关键技术：Die to Die高速接口的发展趋势

内部公开 ▲

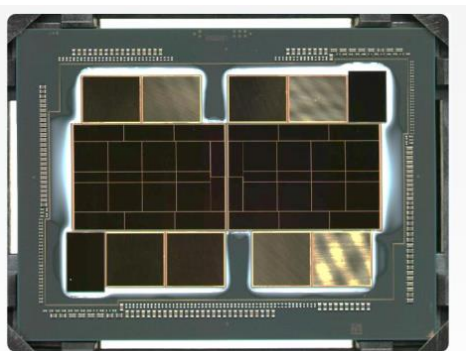
- 业界的趋势
 - 并行接口 (BOW, HBI, AIB) 最终汇总于UCIe + 自定义
 - 串行接口为XSR/USR、类PCIe、自定义并存。
- UCIe并不完美



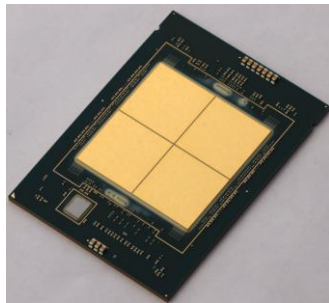
Chiplet: 落地产品

信息来自公开资料

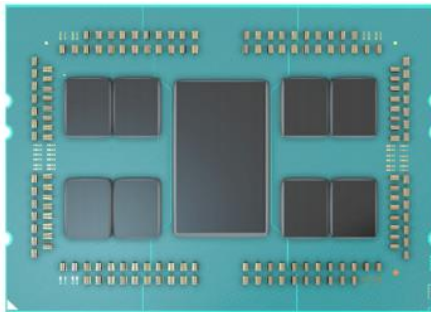
内部公开▲



Intel Ponte Vecchio (63die)
Foveros +EMIB



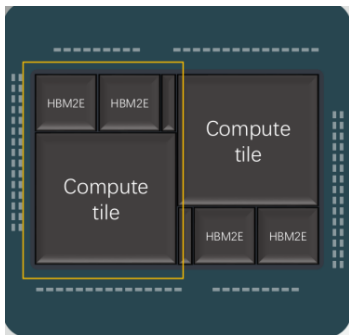
Intel SPR (4die)
EMIB



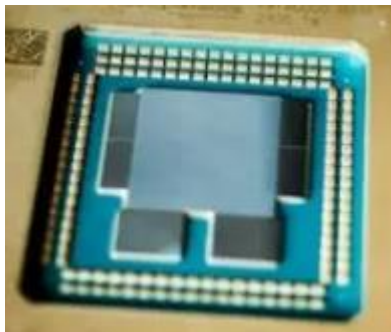
AMD EPYC Zen3 (9die)
MCM (无3D cache版本)



Nvidia A100 (7die)
CoWoS



Biren BR100 (8die)
CoWoS???



AWS Graviton3 (7die)
EMIB???

设计匹配的发展趋势：需要更深刻的了解客户场景，做出针对性的产品

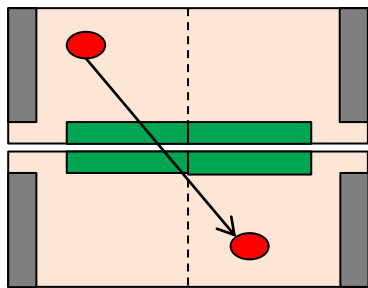
- 1) 极致性能
- 2) 性能/TCO优先
- 3) 性能/功耗优先
- 4) 性能/成本优先

产品的竞争力主要来自设计，而不仅仅是新技术本身

- Chiplet技术的发展趋势
- **3DIC技术的发展趋势**
- Chiplet/3DIC的设计挑战

技术背景：传统Chiplet方案的困境

2D/2.5D架构下的chiplet，所有die依然是二维平面结构，虽然能一定程度解决性能、TCO、制程、市场之间的矛盾，但是还有以下问题难以解决

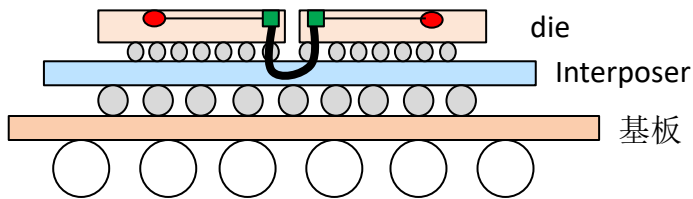


性能

- 模块之间的物理距离/固有延时较大
- D2D IP会加大延时、功耗
- 带通信汇聚的设计，会加大延时、设计开销
- 很多场景延时存在不确定性
- 总die size（算力）受interposer或基板尺寸限制

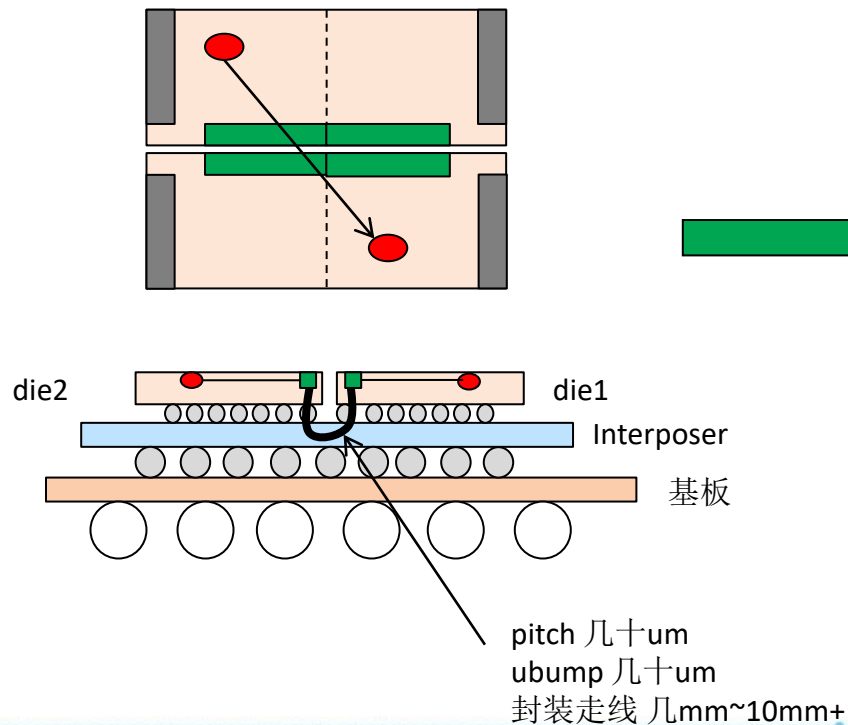
成本

- D2D IP增加 die size/成本
- 当总die size极大的时候，interposer的成本阶跃上升；甚至单个interposer已经不可达，此时需要多个interposer，进一步推高成本/良率下降。
- 跨interposer的D2D对IP的性能要求更高。
- 封装基板尺寸同时被推高，成本和交期恶化

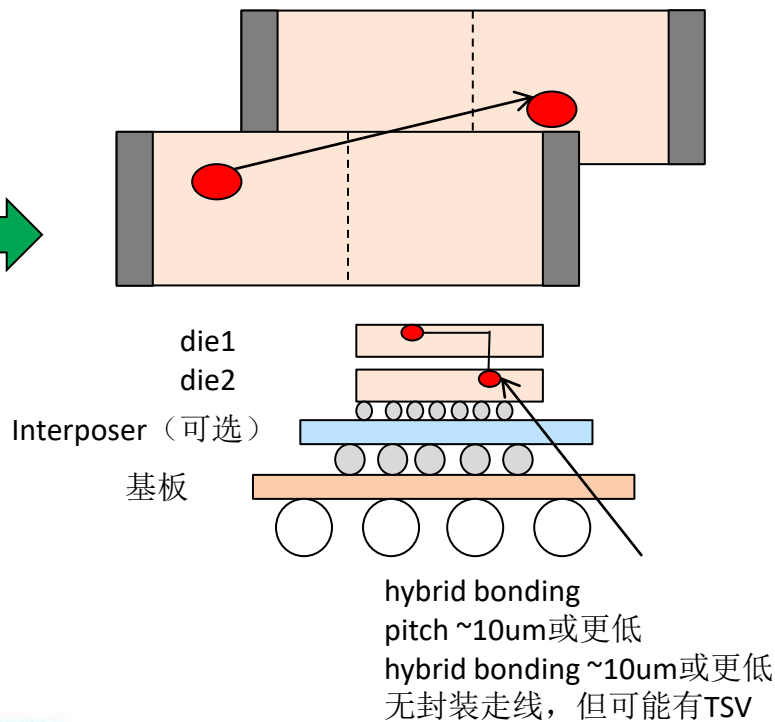


3DIC带来的物理改变

Die水平摆放 + 低密度、大尺寸、长距离、高寄生的封装互联



Die的垂直方向堆叠 + 高密度、小尺寸、短距离、低寄生的封装互连



3DIC带来的技术收益和问题

Die的垂直方向堆叠 + 高密度、小尺寸、短距离、低寄生的封装互连

面积不能太大

高集成度，单位投影面积，晶体管数目增加

热密度大，热耦合大，散热困难

投影面积小，对interposer/基板尺寸压力小

电源集中，电源耦合大，供电困难

物理距离变小，固有延时变小

应力集中，热应力效应明显

die to die 互联使用极简的数字电路直连
低延时、低功耗、小面积

对设计匹配的要求更高

超高密度，总带宽的提升

问题

可靠性挑战大

收益

不一定需要interposer

测试和验证难度大

更灵活的拆分方式，低性能但延时要求的高的模块也可以拆分

成本可能更高，良率挑战大

Technology	2.5D	ubump		Hybrid bonding	
		3D-IC F2B	3D-IC F2F	SoIC F2B	SoIC F2F
Bump Density	0.8X	1.0X	1.0X	16.0X	16.0X
Speed*	0.01X	0.1X	1.0X	3.7X	11.9X
Bandwidth Density**	0.01X	0.1X	1.0X	59.7X	191.0X
Power Consumption (Energy/bit)	22.9X	3.7X	1.0X	0.6X	0.05X

*Speed: 1/total wire delay

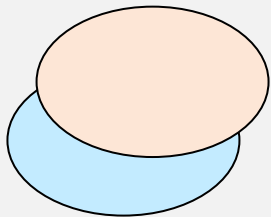
**Bandwidth Density: Bump Density*Speed

From TSMC paper

3DIC的实现方式

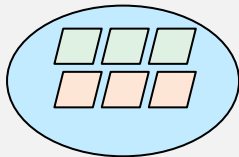
3DIC方案选择需要在工艺难度、电性能、热、力、可靠性、互连密度之间权衡

堆叠方式



W2W: Wafer on Wafer

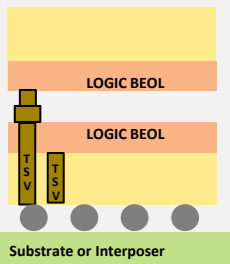
优点: bump对准容易, bump pitch更小
缺点: die size必须一样, 灵活性差



D2W: Die on Wafer

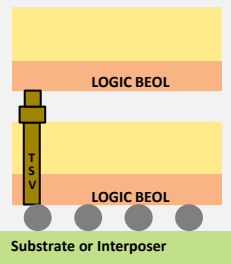
优点: 灵活, 多种die堆叠
缺点: bump pitch较大

堆叠方向



F2F: Face to Face

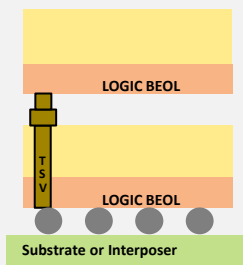
优点: die间互连电性能更好
缺点: 热量集中, 热应力风险更高



F2B: Face to Back

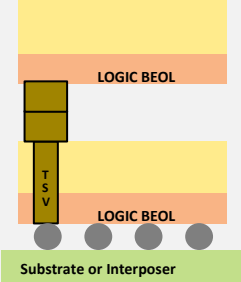
优点: bottom die的SI/PI性能更优
缺点: Bottom Die的厚度较薄, 热容较小, 存在热应力风险, 互联寄生略大

互连方式



HB: Hybrid bonding

优点: die间互连电性能更好, bump pitch小
缺点: 热应力风险更高



uBump: uBump reflow

优点: 热应力风险低
缺点: bump pitch大, 互连密度低, 互联寄生大

特点	3D堆叠方式		3D堆叠方向		3D互连方式	
	W2W	D2W	F2F	F2B	HB	uBump
电性能	/	/	好	中	好	差
散热难度	/	/	差	中	中	差
互连密度	高	中	高	中	高	低
热应力	/	/	高	中	严重	中
灵活	差	高	/	/	/	/
设计难度	/	/	高	中	高	低
工艺难度	中	高	高	中	高	低

Chiplet/3D IC路线图

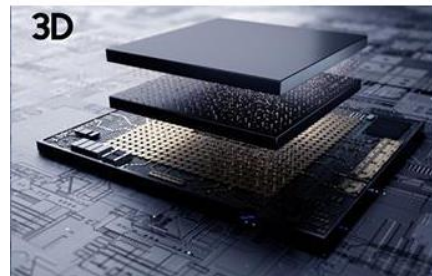
信息来自公开资料

内部公开 ▲

Intel EMIB+Foveros



三星Icube, Hcube, Xcube

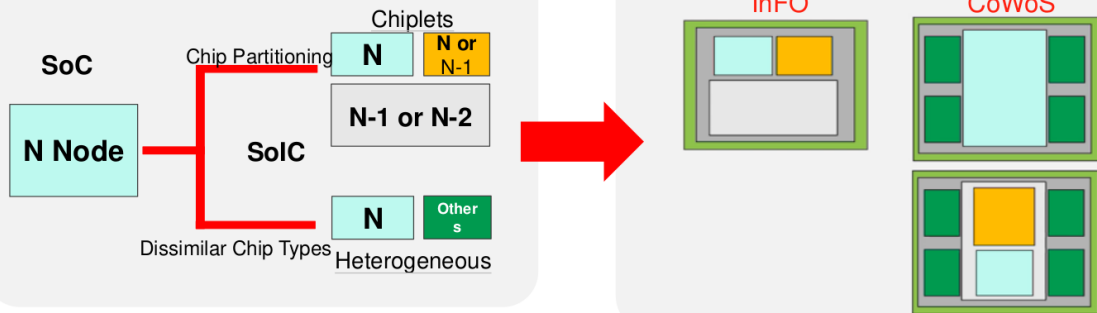


TSMC



Frontend 3D

Backend 3D

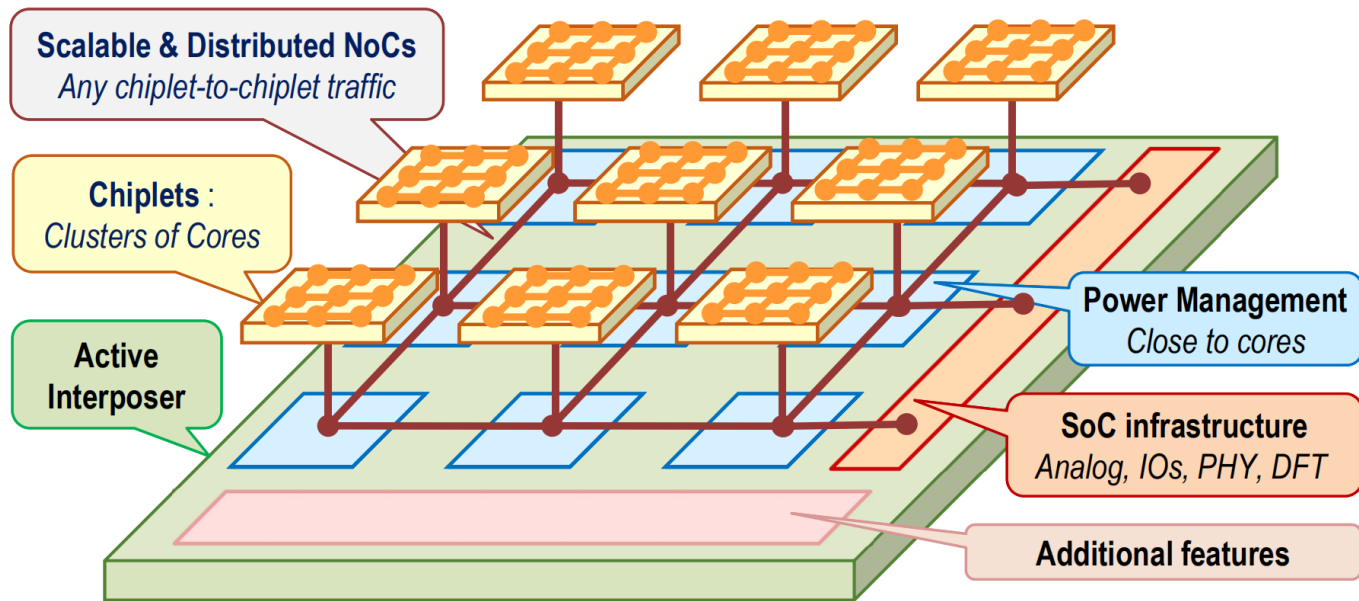


先进封装领域国内厂商在奋力追赶

数据来自 Intel hotchips

ZTE中兴

3DIC: 学术成果举例



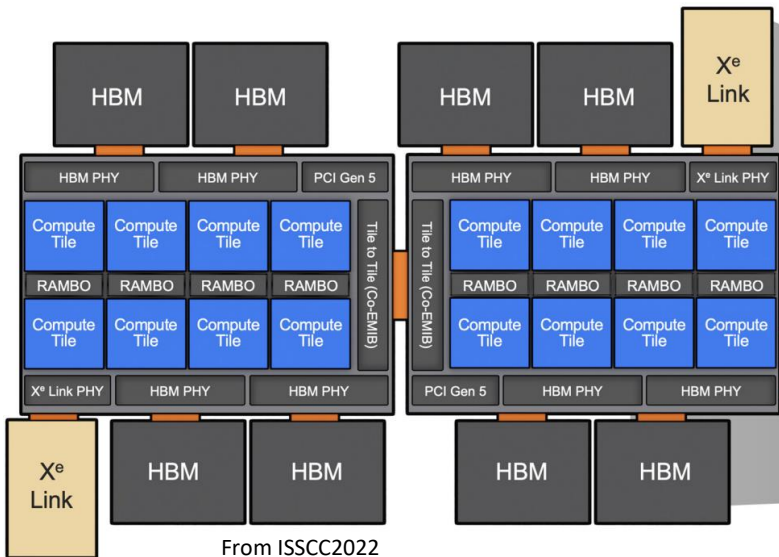
From ISSCC2020

3D+2.5D结合

- 低速模块（IO，电源，DFT）下沉到base die（active interposer）
- 部分高速模块也下沉（NOC），尺寸有机会变小，延时更小
- top die面积更小，功能更专一，PPAC更好

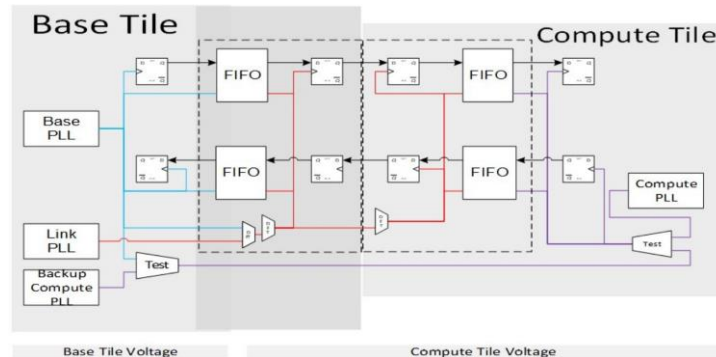
3DIC: 落地产品举例1

Intel Ponte Vecchio

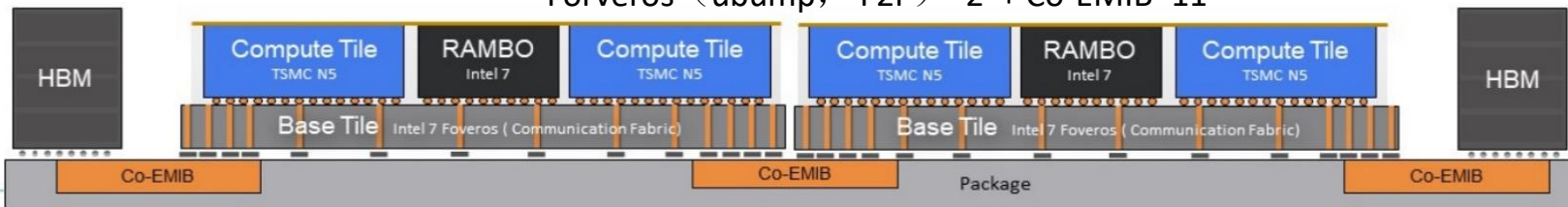


• 跨die:

- a) FDI电路 3:2的bus-width压缩, 1-1.5倍的调频, 2.8GT/s.
- b) Compute到Base : >7k IO, **2.6TB/s**;
- c) RAMBO到Base : >3.5K IO, **1.3TB/s**;



Forveros (ubump, F2F) *2 + Co-EMIB*11



3DIC-落地产品举例2

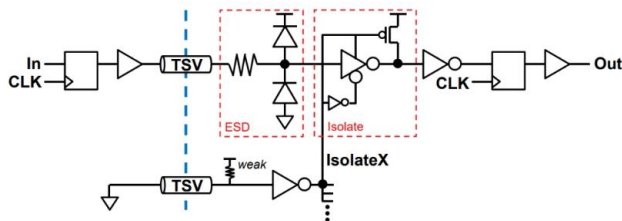
产品: 3D V-Cache Zen3 处理器, 2022 量产

架构:

- bottom die 由8个CPU核, ring互联, 32M L3cache组成 (TSMC N7)
- top die为L3Cache的扩展64 M (TSMC N7), 需要4个cycle的延迟
- 支持2TB带宽/秒

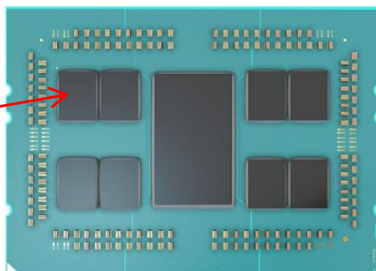
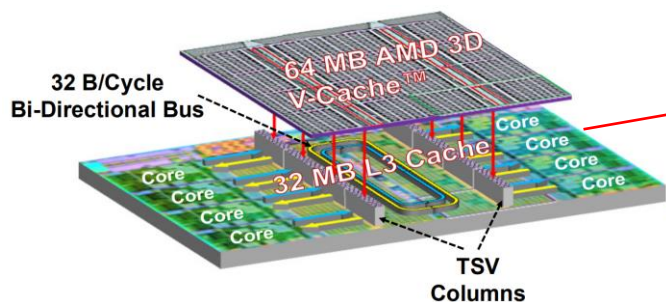
跨die:

- 信号同步跨die, 需打两拍, 同时插入ESD以及Isolate单元



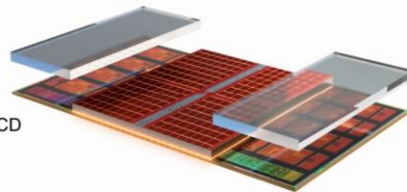
封装:

- F2B堆叠形式, CCD face-down; L3D face-down
- logic die堆叠采用HB结构, min TSV pitch为9um
- CCD两侧空余区域放置dummy die, 采用Oxide bonded结构结合, 以改善散热和结构应力风险
- SOIC flip chip封装为FCLGA, 封装尺寸 40*40mm²



Physical Organization

- **CCD face-down**
 - C4 interface to substrate
 - TSV interface to L3D
- **L3D face-down**
 - Hybrid Bonded (HB) to CCD
- **Structural Dies**
 - Oxide bonded to CCD

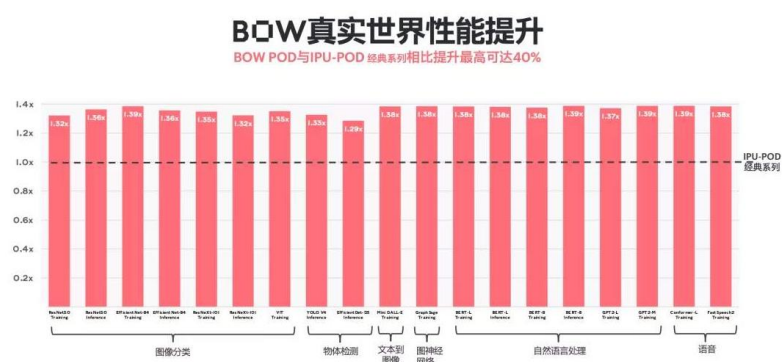


3DIC-落地产品举例3

- Graphcore Bow Pod
 - WoW SoIC (hybrid bonding) 工艺, base die 为passive deep trench cap



16%的电源效率提升



40%的性能提升

3D IC 技术的发展趋势



- Chiplet技术的发展趋势
- 3DIC技术的发展趋势
- Chiplet/3DIC的设计挑战





Chiplet/3DIC给我们带来诸多便利的同时也让设计变得更加复杂（电、热、应力等）



总结

- 芯片Chiplet化可以很好的平衡性能、TCO、制程、市场需求，最终提高产品的综合竞争力
- Chiplet的关键技术：封装技术、D2D高速接口、设计匹配（优化）
- 3DIC封装方案与传统2D/2.5D方案相比，带来了收益的同时也带来一些问题
- Chiplet/3DIC的设计挑战：除了封装/硅制程工艺本身，更重要的是设计



5G 先锋

