

从设计视角谈Chiplet的技术挑战

李翔宇 副研究员

清华大学集成电路学院
2022年10月28日

目录

一. Chiplet技术对高能效计算系统的意义

二. Chiplet的实现形态

三. 基于有源中介层的DSA Chiplet系统

四. Chiplet集成芯片的设计挑战

1. 架构设计挑战

2. 互联接口协议标准化的技术挑战

3. 电路设计中的挑战

4. 初始化、调试和测试技术挑战

背景：面向后摩尔时代的芯粒技术

- **基于芯粒(chiplet)的设计**:将复杂SoC分解为多个**可模块化组装的、可复用**的小尺寸管芯（芯粒），各个芯粒独立设计和加工，再通过封装集成为系统芯片（“**集成芯片**”）；是对“硅 IP ”进行复用的新型设计模式，可实现敏捷开发。

具有**集成度高、开发周期短、成本低、性能高**的优点。

Chiplet技术的主要价值：

提升良率

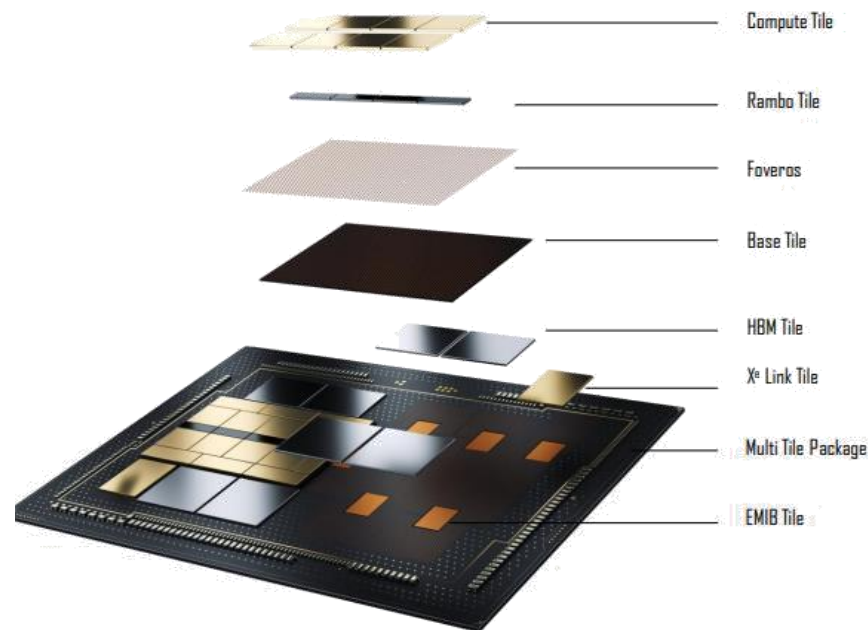
突破光罩（光掩模）尺寸对芯片集成度的限制

硅IP复用，提高研发效率

混合工艺集成，没有必要采用先进工艺模块

可以采用宽线宽工艺，降低制造成本，减少设计

的工艺迁移



高能效芯片设计的挑战

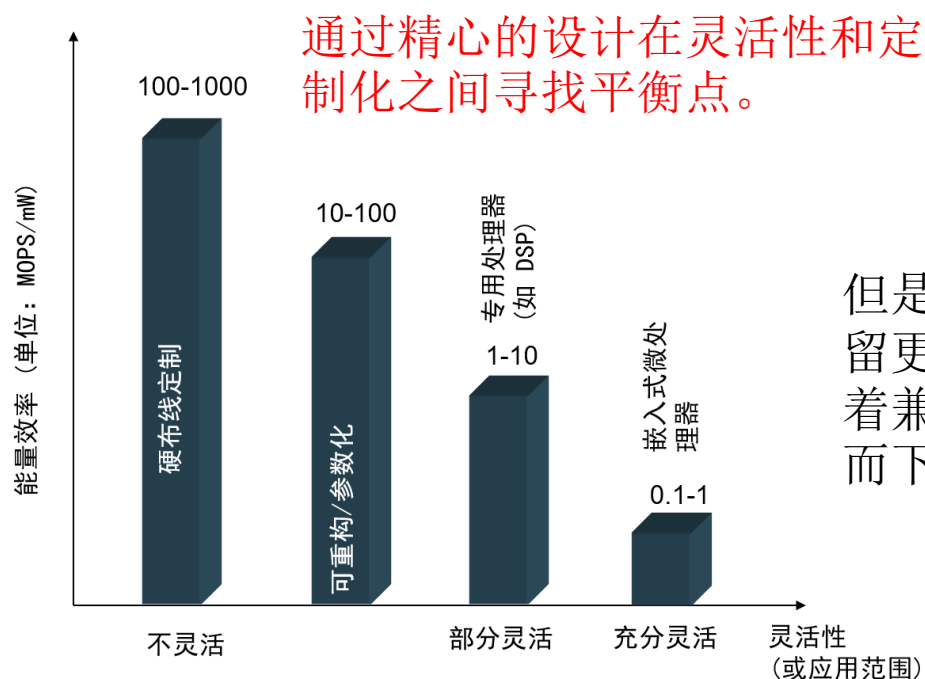
● 技术路径方面

- 摩尔定律逼近极限，先进工艺器件的性价比恶化，依靠器件性能提升解决问题的模式难以为继。
- 经典架构技术、设计技术已经成熟，提升空间有限

需要提高定制化程度来进一步提升能效。

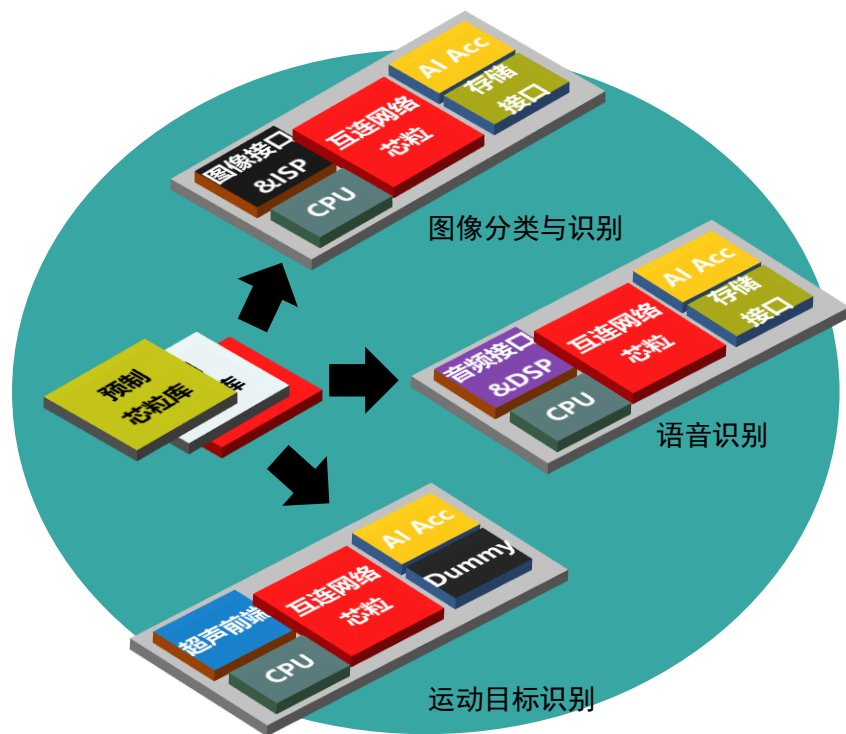
● 应用系统的发展趋势

- 技术驱动-> 应用需求驱动
- 需求：快速响应市场需求、定制化需求增加



但是，灵活性需求，需要预留更多的设计冗余。效率随着兼容范围的差异性的增加而下降。

基于Chiplet技术的可裁剪系统

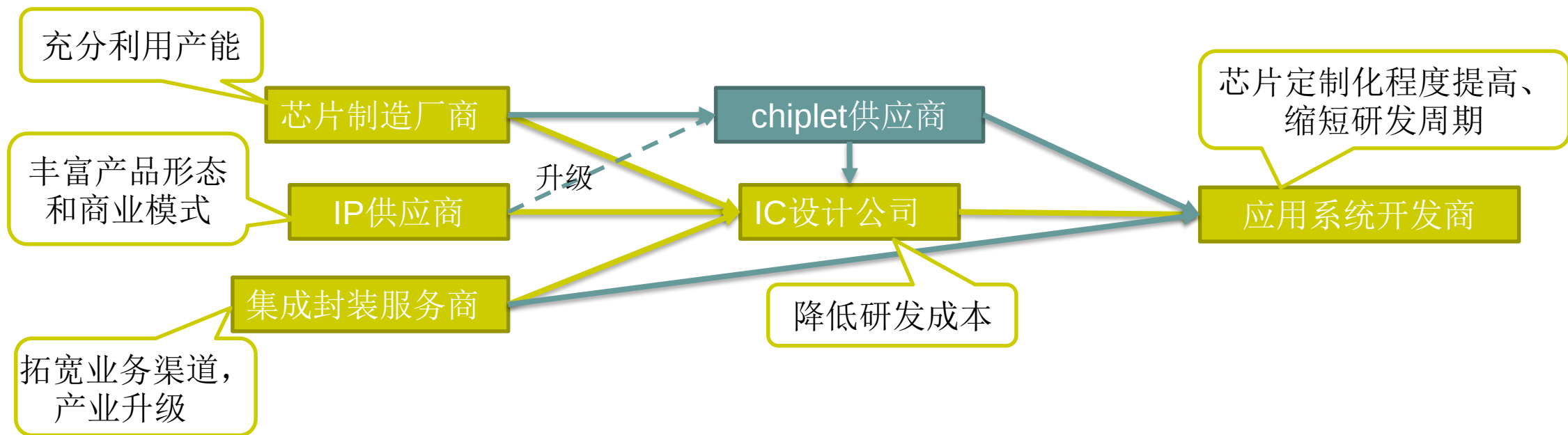


专用化的芯粒+可裁剪的系统架构：

- 将灵活性问题转移到封装环节，每个芯粒可以采用更高定制化的实现方式
- 理论上可以根据实际需要的功能搭建最精简的专用系统。

基于chiplet技术的可裁剪的模块化异构计算系统可以实现匹配目标应用的高能效芯片。

基于货架芯粒的设计方式



使用具有标准接口的预制芯粒，组装成所需的系统芯片（集成芯片）

- 优点：

- (1) 敏捷开发；
- (2) 芯粒可以在多个产品中复用，易于实现产品系列化，NRE成本被更大程度地摊薄；
- (3) 降低芯片研发难度，释放应用系统的创新潜力

目录

一. Chiplet技术对高能效计算系统的意义

二. Chiplet的实现形态

三. 基于有源中介层的DSA Chiplet系统

四. Chiplet集成芯片的设计挑战

1. 架构设计挑战

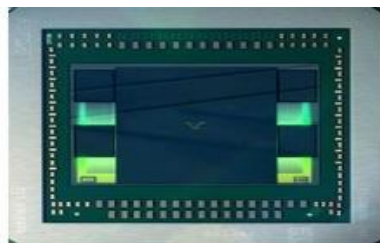
2. 互联接口协议标准化的技术挑战

3. 电路设计中的挑战

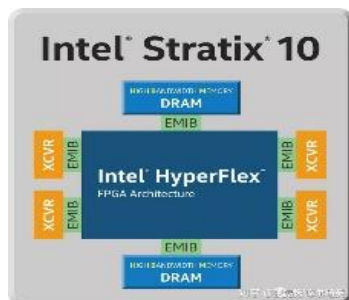
4. 初始化、调试和测试技术挑战

现有的几种Chiplet形态

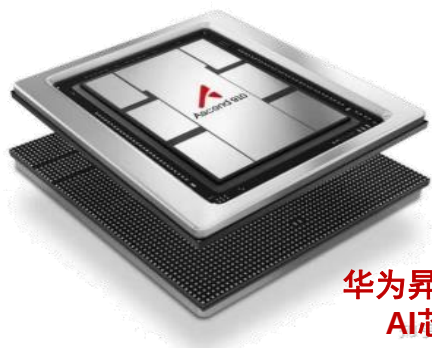
引入HBM，突破存储器



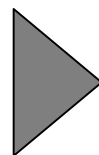
AMD 处理器



Intel FPGA

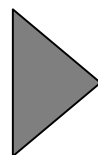
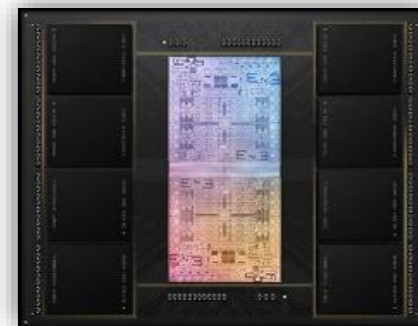


华为昇腾910
AI芯片



解决工艺极限和良率问题，突破面积墙
同构拼接

苹果 M1 Ultra
PC处理器



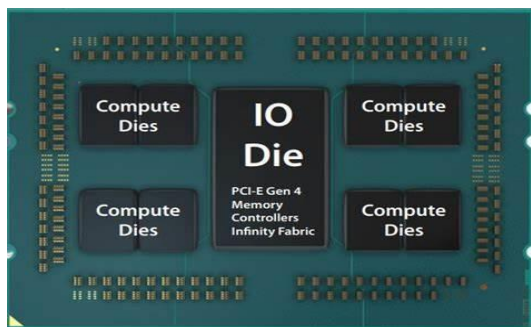
壁仞、寒武纪
GPU、NPU芯片

主要解决了存储器高密度集成和存储器接口问题

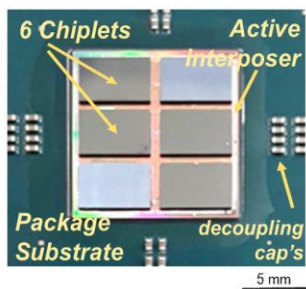
主要解决了计算逻辑管芯间的互连接口问题

现有的几种Chiplet形态

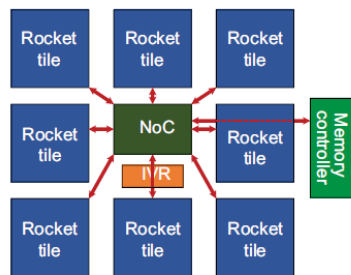
互连为中心的设计架构，突破成本墙



AMD EPYC 处理器



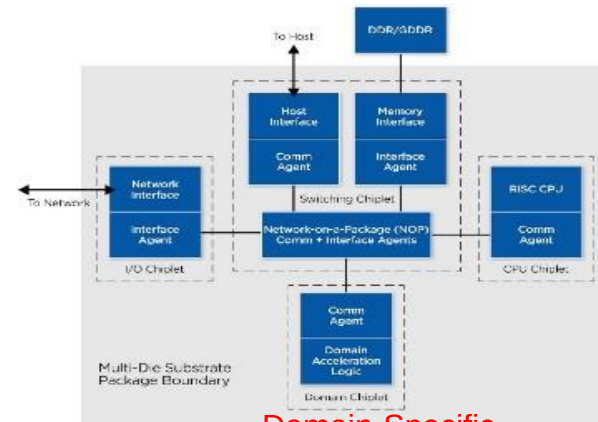
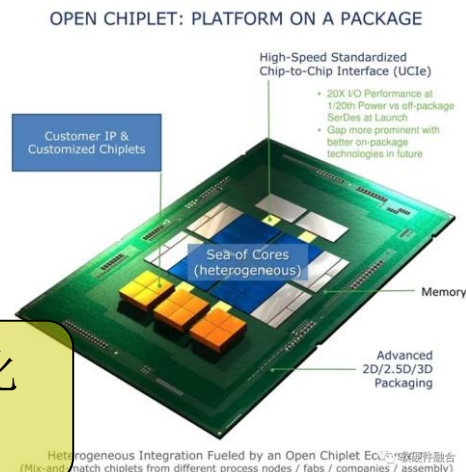
Leti 96核RISC-V处理器



开启了架构层技术研究，计算部分的partition优化

要解决模块化设计问题

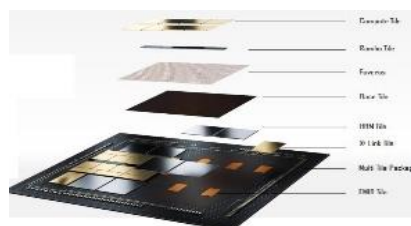
平台化异构多芯粒系统



Domain-Specific Architecture chiplet

满足敏捷开发和多样化需求的开放平台

高算力同构众核瓦片式系统芯片



Intel Ponte Vecchio GPU



满足高集成度需求，需要解决可扩展性问题、大规模集成工艺的良率问题、供电、散热等挑战

目录

一. Chiplet技术对高能效计算系统的意义

二. Chiplet的实现形态

三. 基于有源中介层的DSA Chiplet系统

四. Chiplet集成芯片的设计挑战

1. 架构设计挑战

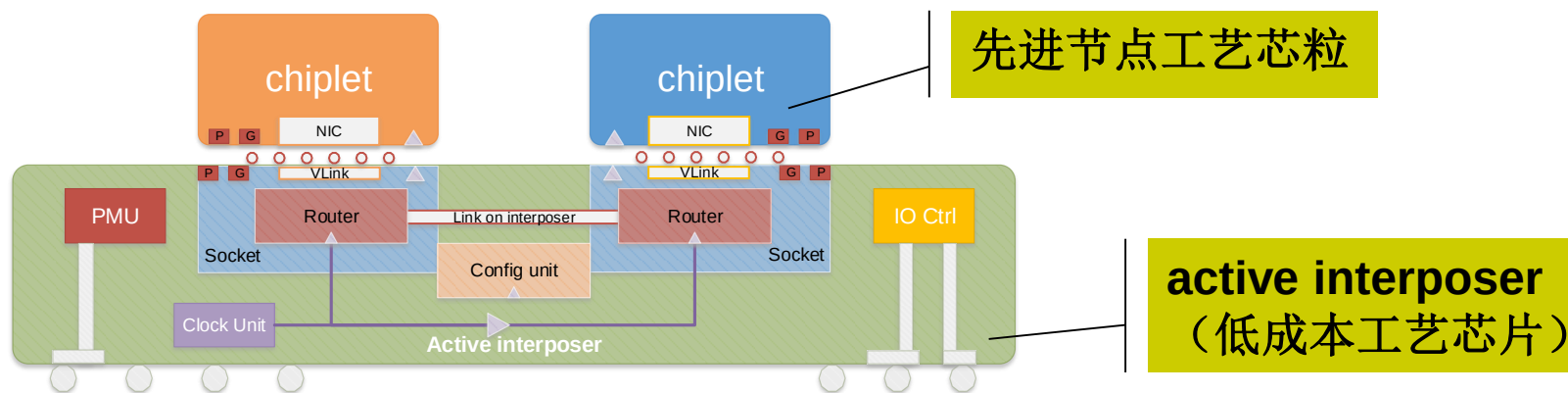
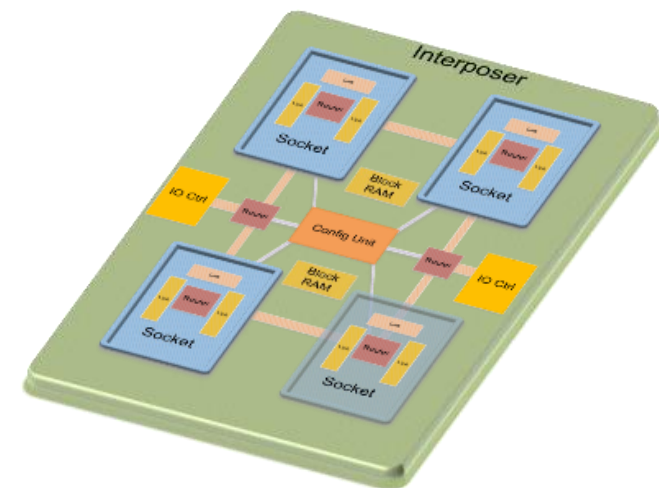
2. 互联接口协议标准化的技术挑战

3. 电路设计中的挑战

4. 初始化、调试和测试技术挑战

● 构成：

- 异构处理器（chiplet）：CPU/XPU/可重构处理器/加速器.....
- 有源中介层：
 - Network of chiplets（灵活可配置，适配能力强）
 - 供电、时钟
 - common units: 外设、IO、Mem、debug等



优点

互连密度高

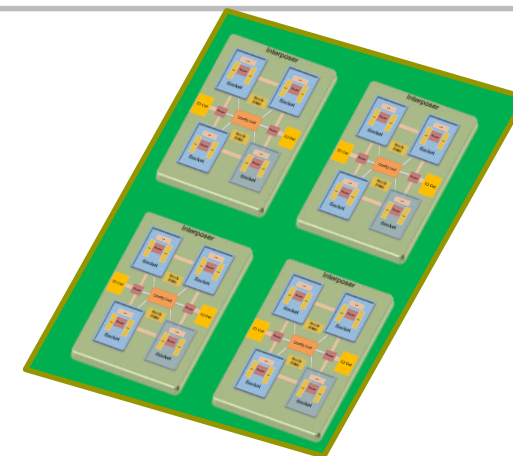
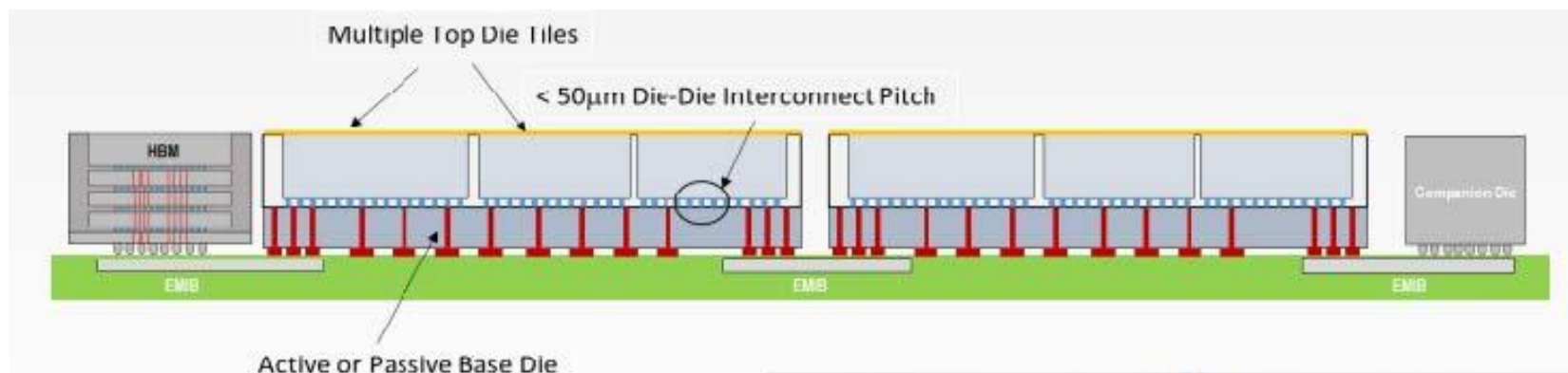
高性能：长距离互连可以插入repeater，缩短互连延时。

互连带宽/延迟/功耗优势：最短互连、大尺寸芯片的互连数量多

缺点

面积受到掩膜版尺寸限制

解决方案：混合集成（2.5D+3D）



目录

一. Chiplet技术对高能效计算系统的意义

二. Chiplet的实现形态

三. 基于有源中介层的DSA Chiplet系统

四. Chiplet集成芯片的设计挑战

1. 架构设计挑战

2. 互联接口协议标准化的技术挑战

3. 电路设计中的挑战

4. 初始化、调试和测试技术挑战

异构可复用芯粒集成芯片的设计挑战

- 异构挑战：支持来自不同厂商、不同功能芯粒的互连、互通
- 后向适应性挑战：在加工完成后才集成到系统中，要可以兼容未来实际系统中出现的各种互联和参数变化。需要对各种不确定性具有适应能力
 - 物理层：工艺、电气、速率、时钟频率、延时、功耗
 - 逻辑层：寻址方式、地址空间、传输方式.....
 - 架构层：互联拓扑、流量分布、有无cache

架构设计的挑战

- **高维空间的架构设计：增加了设计空间的参数**

- 映射问题：Die内通信、Die-to-Die通信（垂直互连/水平互连）、Tile-to-Tile通信、板级通信，具有更丰富的通信层次
- 裁剪问题：定制化程度选择，预留冗余（动态裁剪）和静态裁剪之间的选择

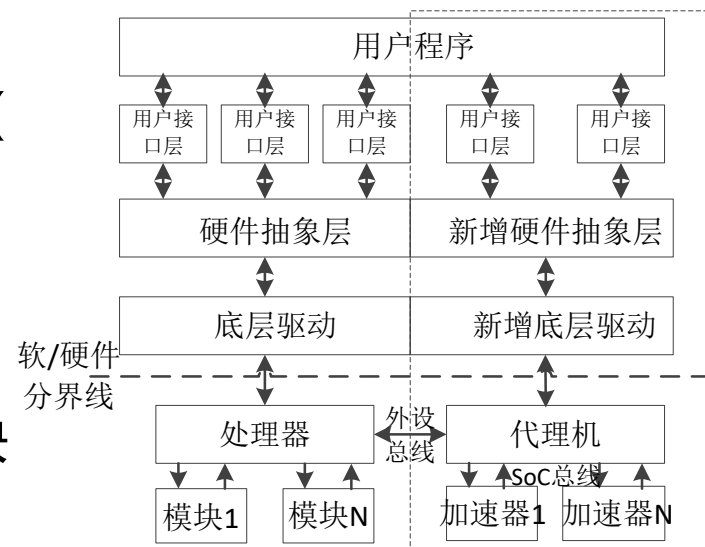
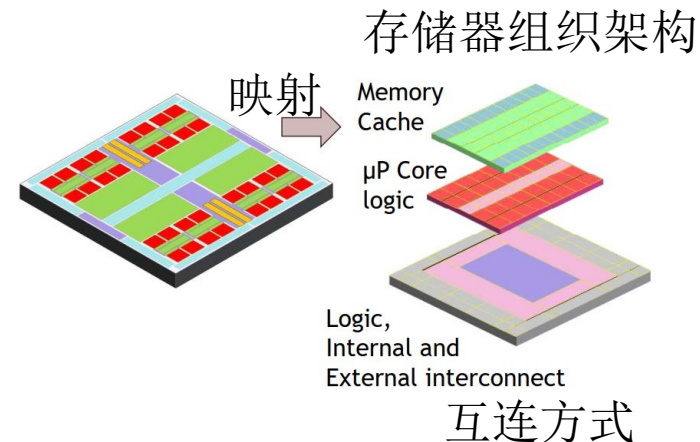
- **设计和封装结构的深度耦合**

- 芯粒之间的集成结构需要在系统设计阶段就需要进行规划：2.5D还是3D，不同封装工艺（interposer/FO/硅桥.....）
- 需要考虑互连带宽和延时、供电、散热、电磁干扰等多种因素（**后道设计前移**），需要高层次的布局规划和建模分析能力

- **封装成本问题**

- **模块化设计**

- 芯粒之间的即插即用问题：统一接口定义、可扩展性、功能模块间的解耦
- 模块化的软件栈和编程模型



互联接口协议标准化的技术挑战

- **应用和工艺方案的差异化**

- 存在多种不同的封装和接口需求（存在不同成本、可靠性、体积、功耗、带宽和延时需求组合）
- 不同应用领域的任务特点不同：高可靠性、高实时性、高吞吐率、低功耗.....

- **系统多变性——需要软件定义和自适应能力**

- 摆放方向、尺寸、速率（需要进行通信频率的适应）、延时、供电需求（PG引脚数）、工艺相关的电气参数
- 地址空间、主从关系、节点数量、路由协议
- 流量特点：对称性、可预测性、突发性

- **封装良率问题：自检和修复能力**

- **服务于协调控制的接口：功耗管理、初始化、状态监测、应急响应.....**

- **标准化和效率的折中：需要合理确定挡位，可选的自定义范围**



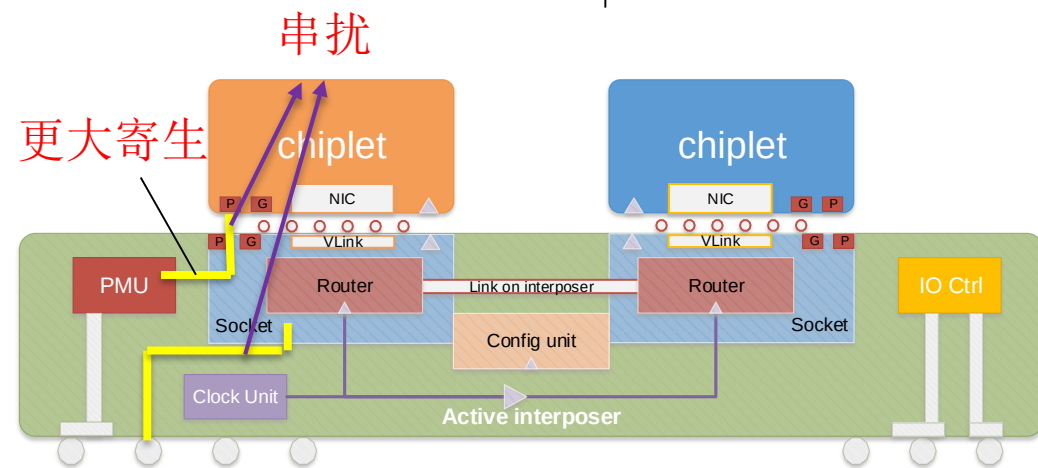
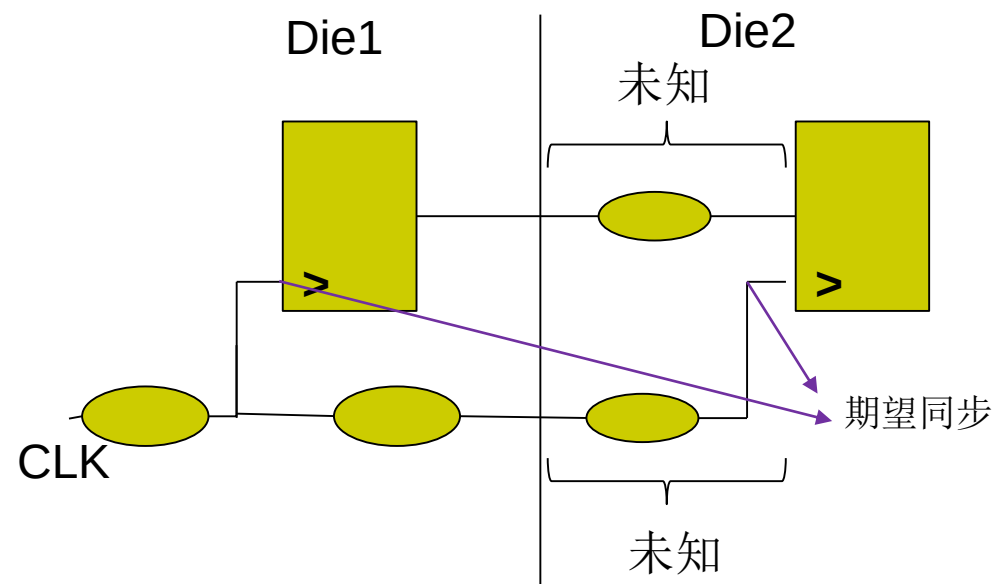
逻辑设计挑战

● 时序相关

- 同步问题：
 - 更大的时钟skew/jitter
 - 时钟频率和相位关系未知，名义时钟频率的倍频关系不确定，latency未知，corner组合问题
 - PLL/DLL的功耗和面积开销过大
- 时序约束的不确定性
- 串扰问题 (3D)

● 供电问题：

- 中介层增加了供电网络的寄生，IR drop 挑战更大。
- 供电网络间的串扰
- 高效的电源管理



接口电路的设计挑战

- **CHIPLET设计中需要综合考虑带宽、成本（封装形式）、互连密度、功耗多个因素的限制**

需求：总带宽=带宽/线×互连密度×芯片面积（边长）

限制：功耗密度=功耗/线×互连密度=能耗/bit×带宽/线×互连密度

⇒ **总带宽：功耗密度=芯片面积：能耗/bit**

- 当总带宽要求和功耗密度限制给定，芯片面积和能耗/bit成为了限制性因素——**chiplet**存在最小面积约束，“能耗/bit”越小或封装热阻越小，最小面积越小。
- “能耗/bit”随着单线速率的增大而增大，当芯粒面积较大时，并口方案更具备能效优势。
- 先进集成工艺下，互连密度可能受到接口电路规模的限制。

——**需要轻量级的接口电路方案**

接口电路的设计挑战（续）

- **芯粒间互连的工艺扰动问题**

- 既有随机扰动又有封装工艺的差异
- 高速并行接口的信号同步问题对布线提出了极大挑战

- **ESD问题：在先进封装下ESD结构的寄生电容，成为了动态功耗的主要来源**

- 需要解决低寄生电容的ESD结构问题

例：110 μ m pitch bump, T28工艺, $C_{\text{bump}}=41\text{fF}$, $C_{\text{ESD}}=1\text{pF}$

初始化和调试问题

- **初始化方案：**

- 上电顺序、复位释放顺序
- 多个接口链路的初始化（完成时间顺序具有不确定性）
- 链路建立流程（接口协议的一部分）
- 系统外设的数量种类不确定

- **调试问题：**

- CPU芯粒正常启动前，处理器调试系统无法工作
- D2D接口异常会影响调试通路的可达性
- 调试接口协议

测试问题

● 要求：

- 集成到系统中的Chiplet都应该是KGD (Know Good Die) = > (芯粒功能测试)；**测试重点从芯片级向芯粒级迁移。**
- 用于销售的通用芯粒需要符合接口规范（接口兼容性/合规性测试）
- 封装故障测试（连通性/电气特性测试）

● 挑战：

- 芯粒的可测性挑战：引脚在芯片内部，外部不能直接连接
- 芯粒的测试平台挑战：
 - 芯粒与测试仪器之间的接口问题（如何提供与工作场景一致的互连特性）
 - 高密度封装的测试夹具问题
- 系统芯片测试：更少的测试点对应更复杂的内部功能和连接
 - 芯粒需具备更强的自测试能力，并制定测试接口标准

总结

- **CHIPLET技术是后摩尔时代的重要技术，具有多重意义；基于可重用芯粒的芯片设计模式能有效解决效率和灵活性之间的矛盾，将带来深刻产业变革。**
- **实现基于可复用芯粒的集成芯片敏捷设计需要建立产业生态并解决模块化的芯片系统设计挑战。**
- **基于有源中介层的异构CHIPLET系统具有高性能和易集成的优点。**
- **上述集成芯片实现技术，从设计角度看面临如下主要挑战**
 - 架构设计空间维度高、与封装耦合加深
 - 互联接口和通信协议的标准化面临多样性和多变性的挑战
 - 电路和逻辑设计中面临不确定性挑战和PI/SI问题挑战
 - 物理层互连接口电路，面临面积、功耗预算限制，需要寻址轻量级、高能效的方案
 - chiplet系统芯片在初始化、调试和测试技术上面临新的挑战