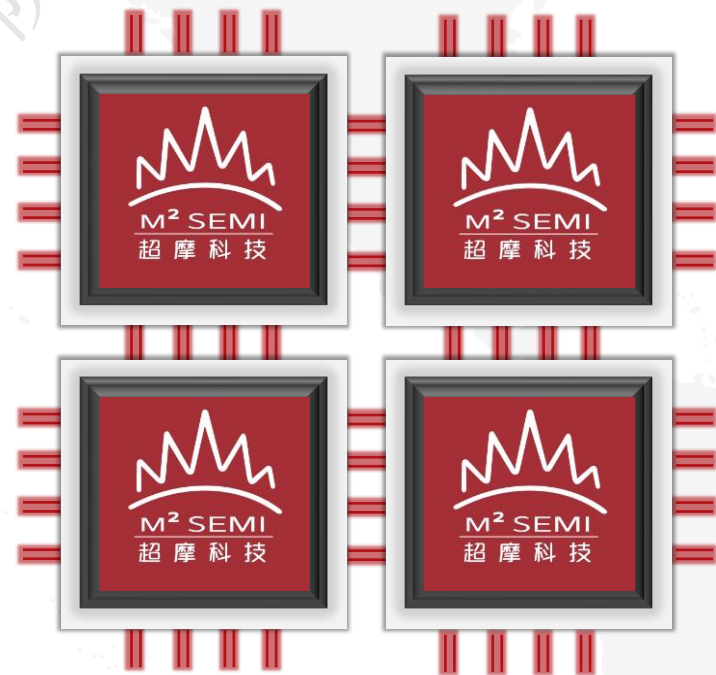


芯粒技术发展及应用趋势介绍

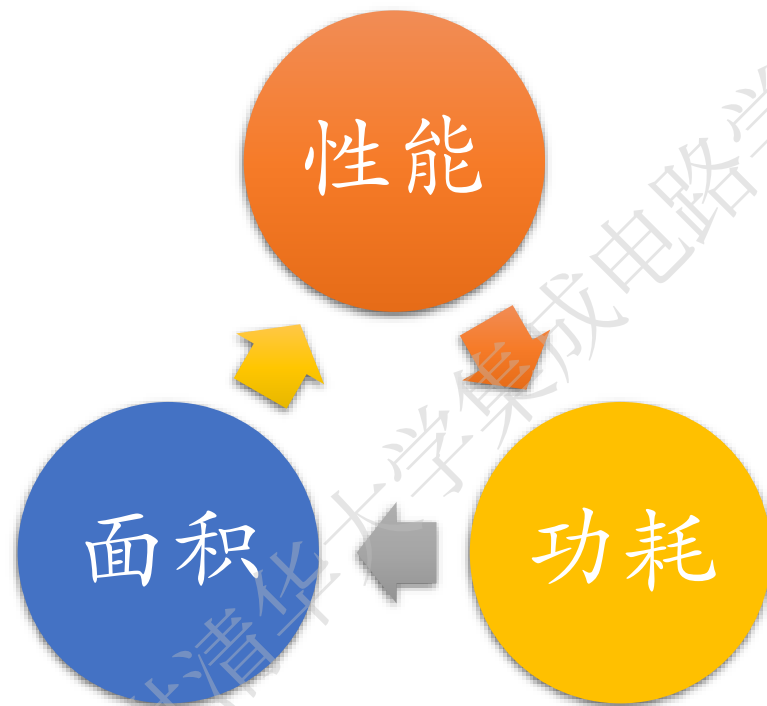
Chiplet时代高性能CPU设计领导者

北京超摩科技有限公司(M² Semi)



超摩科技，超你所想

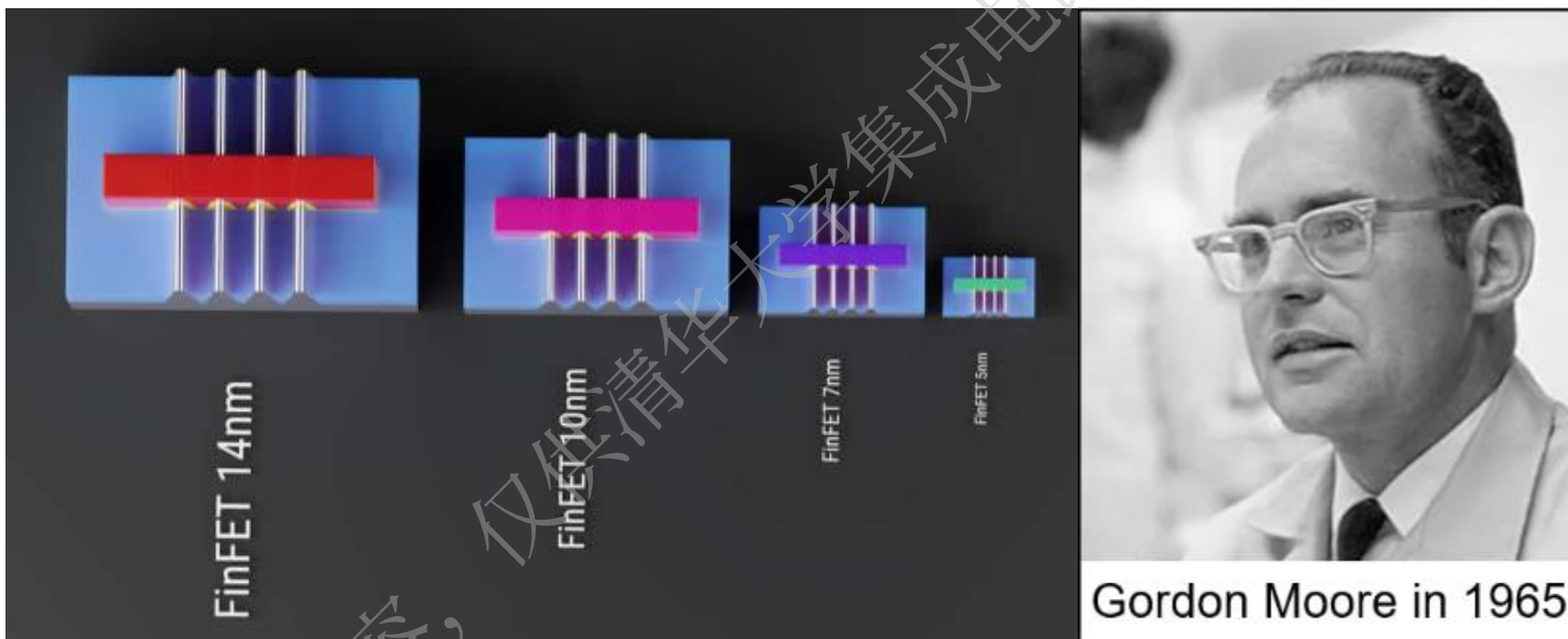
More than Moore, More than Imagination



PPA (Power, Performance, Area)

从摩尔定律讲起

“ 集成电路芯片上所集成的电路的数目，每18个月翻一番 ”



(来源：网络公开资料)

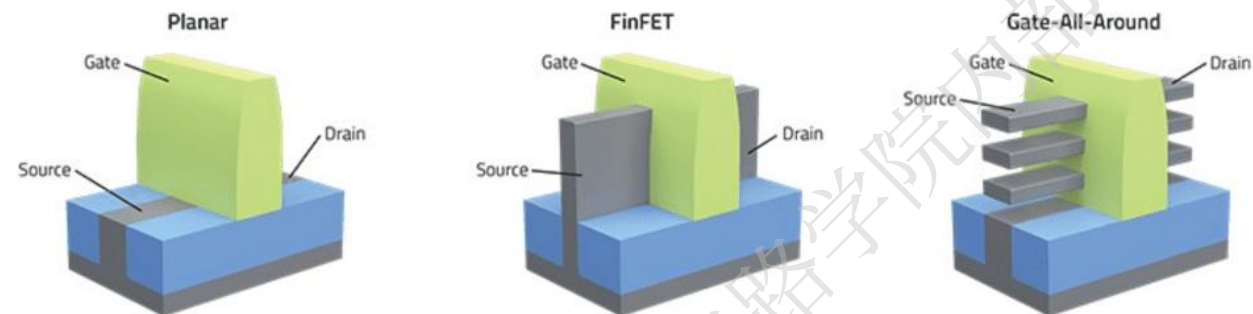
- 每一代新工艺需要的资本投入越来越高

- 每一代新工艺研发推出的所需时间越来越长

- 每一代新工艺获得的PPA收益曲线逐渐趋缓

晶体管

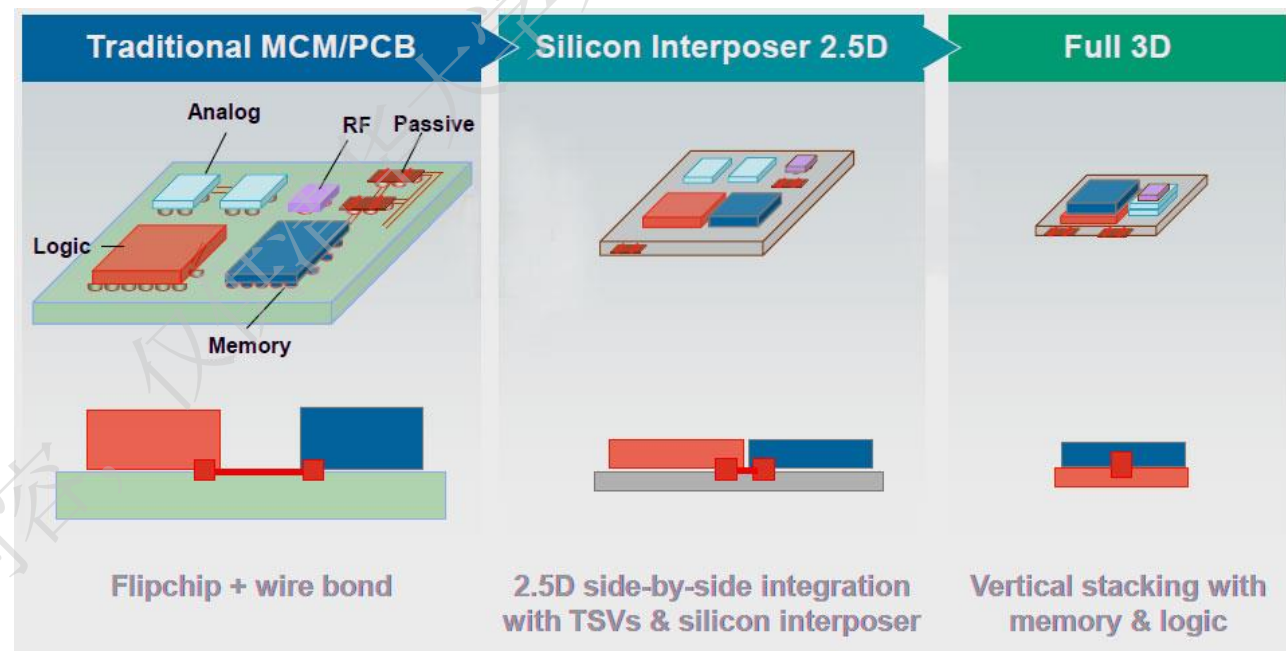
More Moore



集成电路全面三维化发展的趋势

芯粒(Chiplet)

More than Moore



(图片来源：网络公开资料)

Chiplet技术的应用是大势所趋

★ 【趋势】 Chiplet 是半导体产业继摩尔定律之后的新增长曲线和必然路径

2021年Intel正式宣布

下一代服务器CPU也开始采用芯粒设计方案



(图片来源：Intel 2021架构日公开资料)

目前超过25%的高性能CPU&GPU采用了Chiplet技术
包括Intel/AMD/Nvidia/海思/Marvell/亚马逊等等

随着摩尔定律愈发受限，未来比例会更高，并延展到不同领域

AMD CPU ROME (2019年)

封装集成技术：MCM

9 die, 7nm+14nm

Intel Stratix 10 FPGA (2017年)

封装集成技术：EMIB

7 die, 14nm+HBM+XCVR

NVIDIA A100 GPU (2020年)

封装集成技术：CoWoS

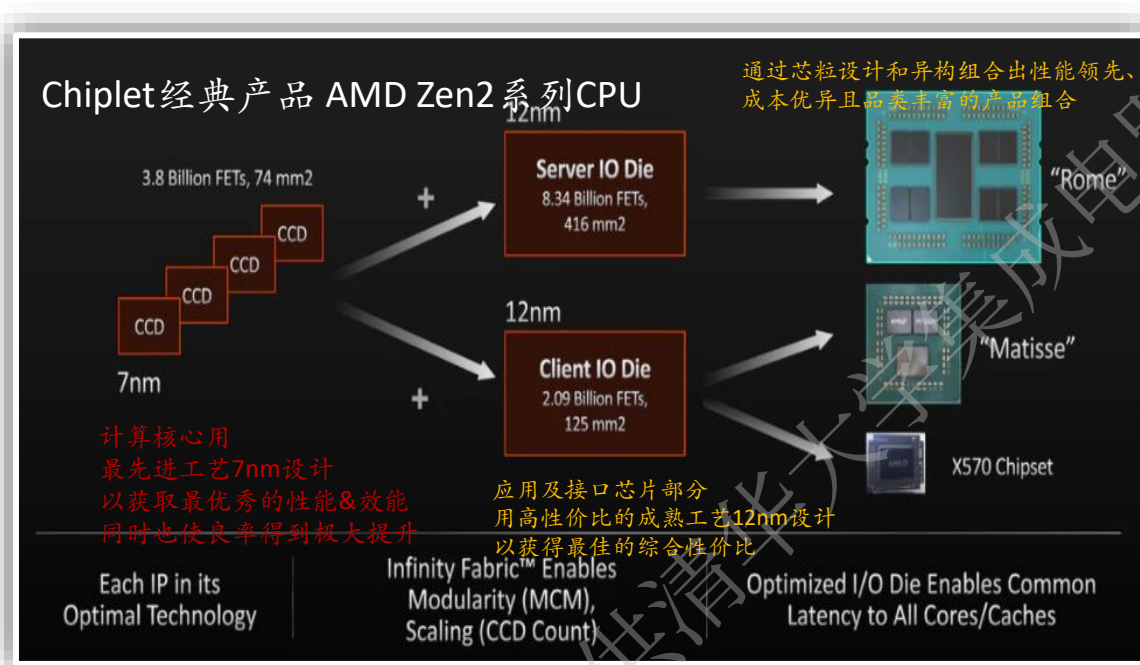
7 die, 7nm+HBM

海思 Ascend910 (2019年)

封装集成技术：CoWoS

8 die, 7nm+HBM+NIMBUS

★ 【价值】 Chiplet 给高性能芯片带来显著的性能、成本、周期和灵活性优势



(图片来源: 网络公开资料)

- ☞ 性能大幅提升
- ☞ 芯片开发周期显著加快
- ☞ 开发及量产成本大幅降低
- ☞ 产品组合更加灵活多样

- 小芯片带来的良率优势约20~30%
- 工艺异构带来的成本优势20~30%

Chiplet设计的关键技术 - 封装集成技术

	2D	2.5D	3D
TSMC	MCM	CoWos (-S/-R/-L)	SoIC (CoW/WoW)
Intel	MCP	EMIB	Foveros



(图片来源：网络公开资料)

- 硅互联技术和基板互联技术是Chiplet集成技术的两大核心

Chiplet设计的关键技术 - 封装技术对比

	2D	2.5D	3D
TSMC	MCM	CoWos (-S/-R/-L)	SolC (CoW/WoW)
Intel	MCP	EMIB	Foveros

成本项	MCM	CoWoS	SolC
基板	Y	Y	Y
Si-Interposer	N	Y	Y
TSV	N	Y	Y
u-Bump	N	N	Y

Si-Interposer
TSV



指标	MCM	CoWoS	SolC
单位面积带宽	低	中	高
单位带宽功耗	大	中	小
综合成本	低	中	高
产品封装尺寸	大	中	小
产品灵活度	较高	中	中
产品可靠性	高	中	中
相关产能	较大	普通	少

Silicon Bridge技术可能会成为平衡性能和成本的发展趋势

D2D 互联两大流派（串行 & 并行）关键特征比较

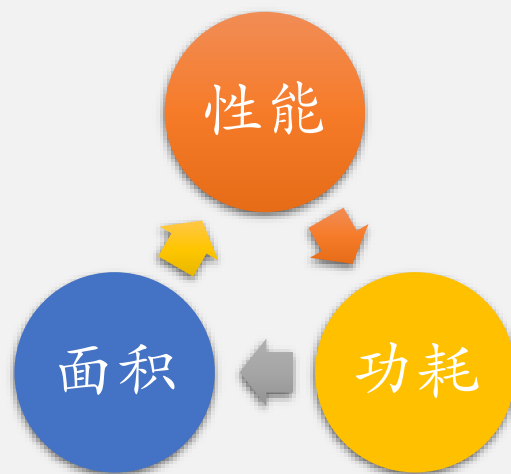


Interface name	AIB Gen2	BoW-256	MDIO	GLink	OpenHBI	UltraLink	Glasswing	DW D2D	NVlink	UCle
公司	Chips Alliance	Open Compute	Intel	GUC	Synopsys	Cadence	Kandou	Synopsys	Nvidia	UCle
Chiplet 集成方式	EMIB 硅互联	CoWoS 硅互联	EMIB 硅互联	CoWoS 硅互联	CoWoS 硅互联	CoWoS 硅互联	MCM 基板互联	MCM 基板互联	MCM 基板互联	多种规格覆盖硅 / 基板互联
架构	并行	并行	并行	并行	并行	并行	差分Serdes	差分Serdes	差分Serdes	单端Serdes

	高速串行接口	并行接口	3D IC接口
每信道数据速率	16~112 Gbps	3~16 Gbps	1~3 Gbps
线宽	高	中	低
延迟	高	中	低
位错率(BER)	高 (PAM-4中需要FEC)	中	低
封装连接	C4 bump	TSV	u-Bump / hybrid bond

Chiplet技术对芯片体系结构的影响

芯片设计中的不可能三角



做体系结构设计就是在做取舍

Chiplet技术同时带来收益和代价



带宽瓶颈

工艺适配

延迟隐藏

算力带宽匹配

高速缓存架构

内存与I/O接口

电源与散热

体系结构发展的无形之手是逻辑对物理极限的适应

Chiplet是时代和产业的需求



01时代 信息社会对高效率的高性能计算力**极度渴求**

02产业 摩尔定律**收益趋缓**，**投入激增**，**产能供需失衡**

03技术 单芯片面积和性能的**设计瓶颈**亟待有效突破方法

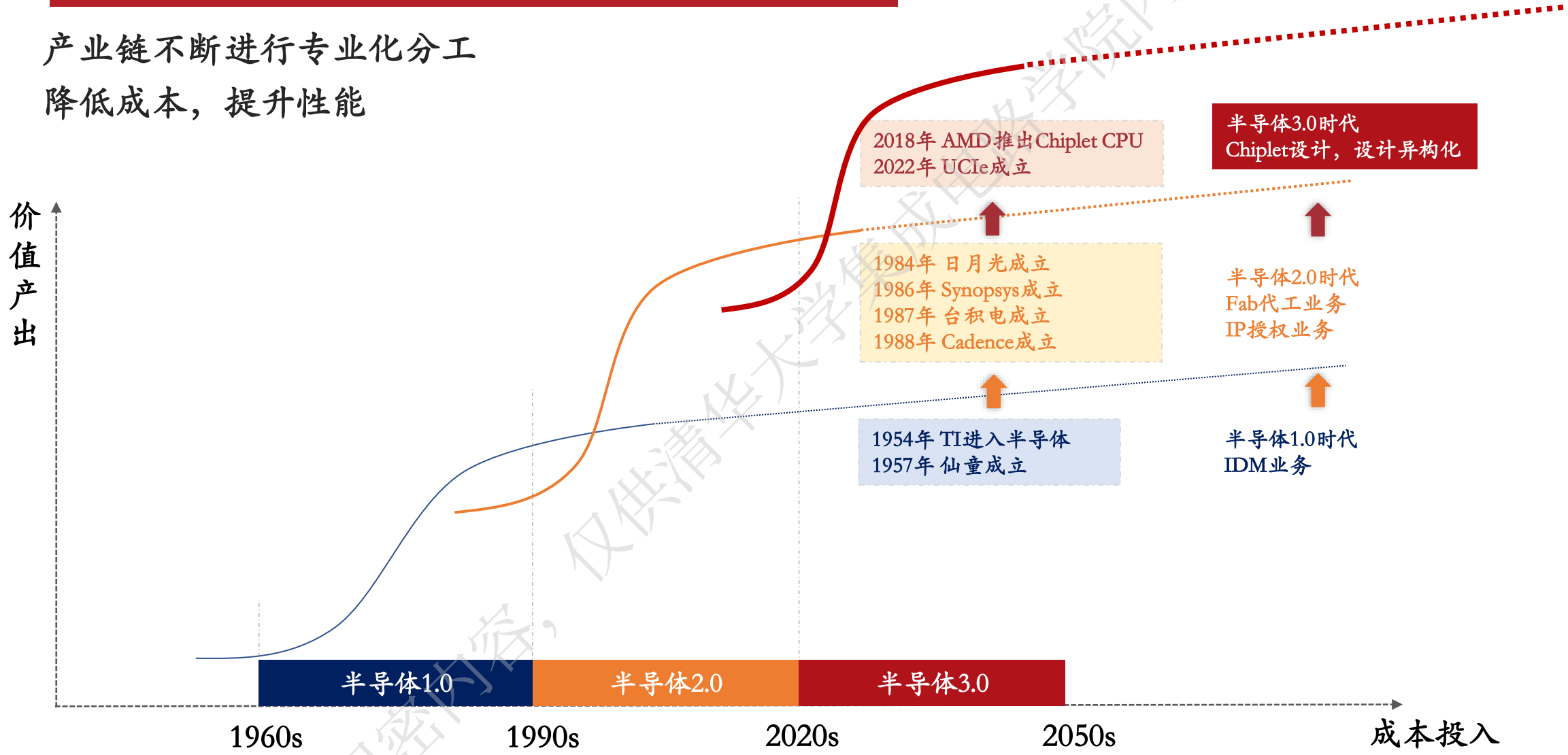
04产品 产品的**开发成本**，**周期和灵活性**需大幅优化

Chiplet是半导体产业未来三十年的必然趋势和关键增长点

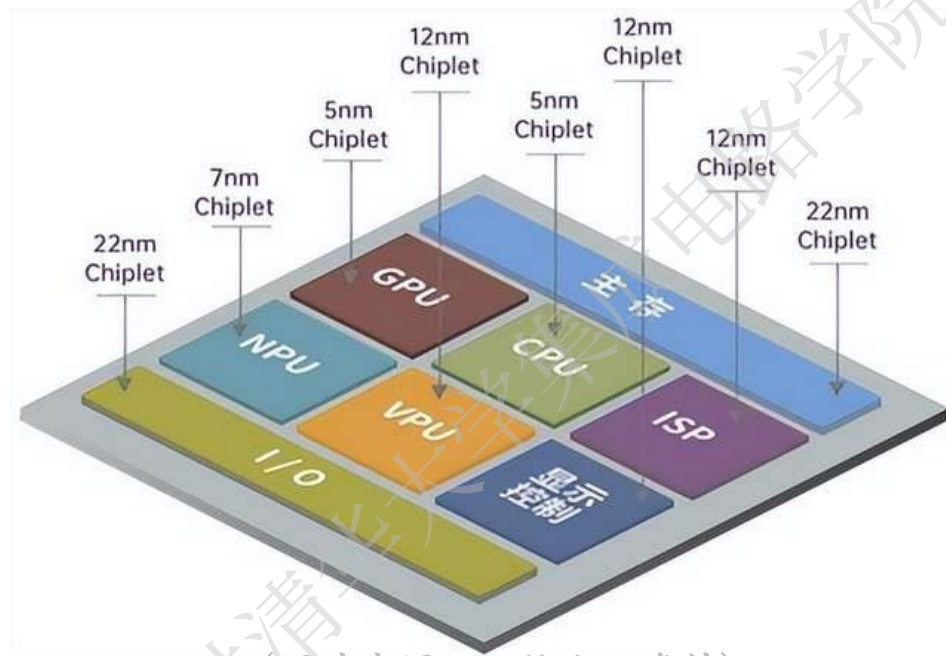


★ Chiplet是半导体产业三十年一遇的产业链价值重构机会

产业链不断进行专业化分工
降低成本，提升性能



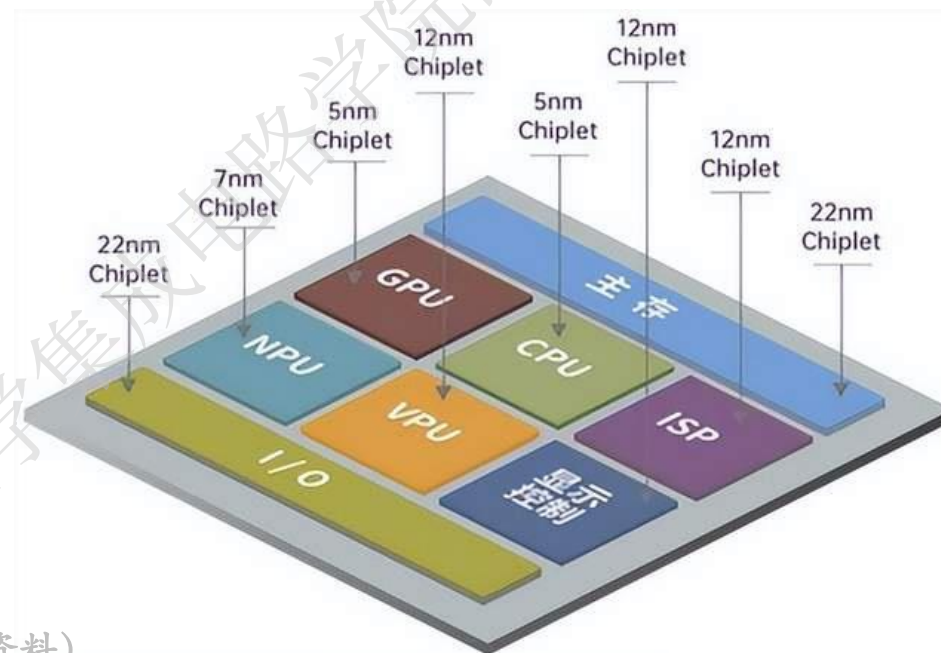
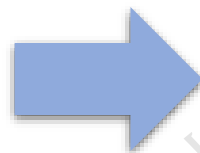
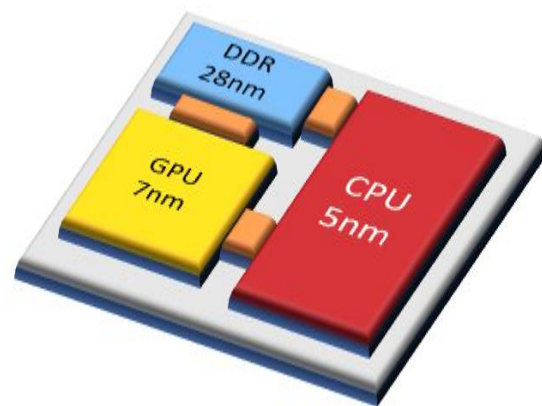
Chiplet应用图景展望



(图片来源：网络公开资料)

各种Chiplet来自于一个或多个不同的Chiplet供应商,由应用方案商根据客户需求集成,提供给最终用户。

Chiplet应用图景展望



(图片来源: 网络公开资料)

A

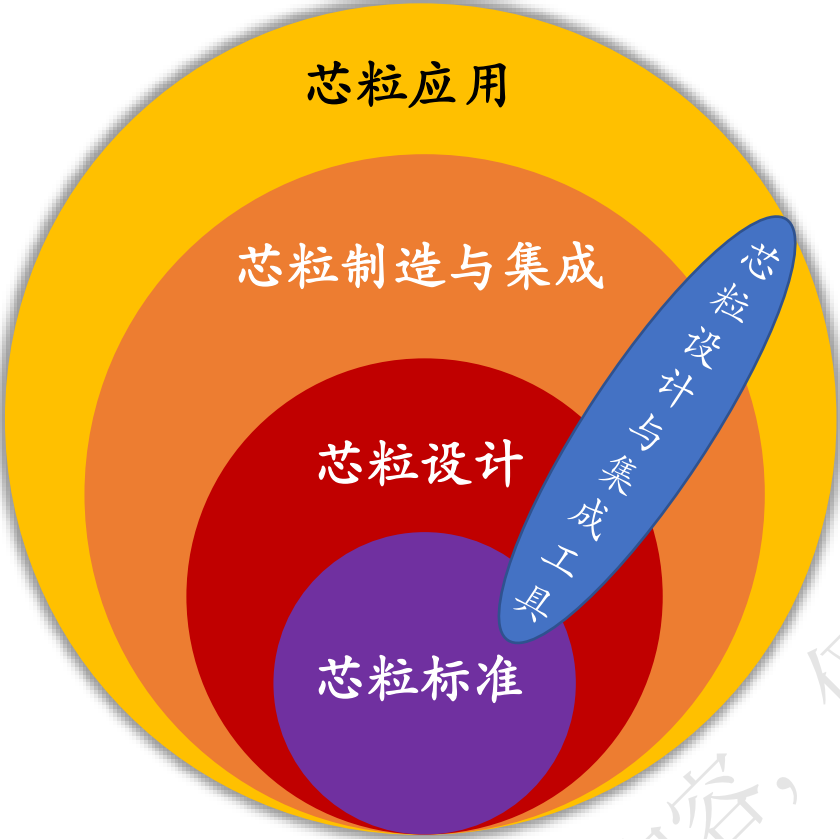
芯片设计商各自为政，
用chiplet技术解决自己
的芯片产品的问题

B

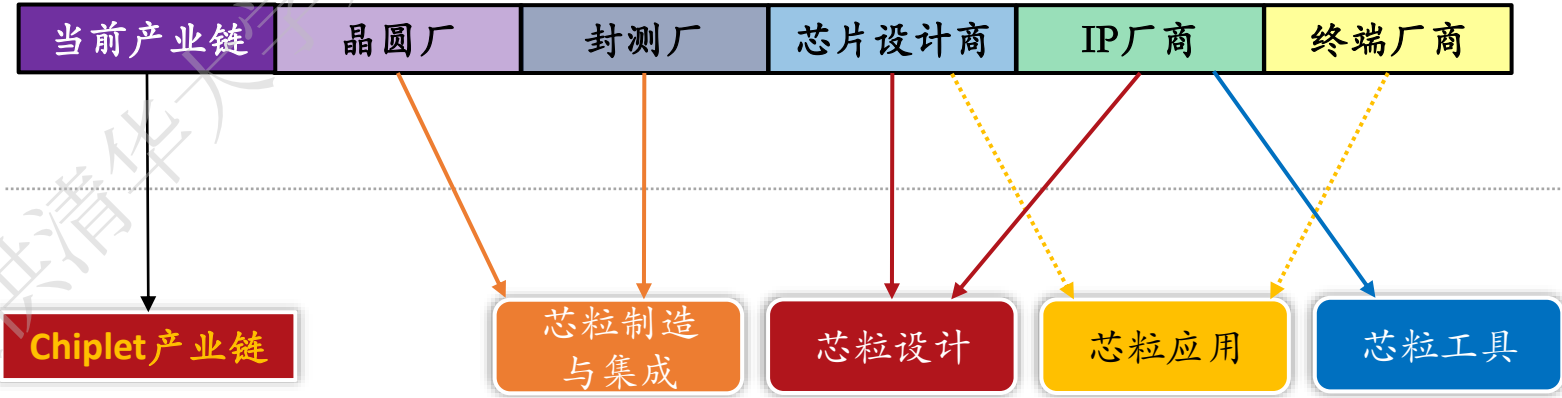
各种Chiplet来自于一个或多个不同的
Chiplet供应商，由应用方案商根
据客户需求集成，提供给最终用户。

Chiplet产业链的价值分布与变革(设计+制造+集成+应用)

★ 下个时代伟大的公司，往往在时代交替的变革中产生

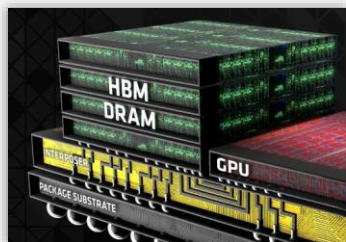


芯粒产业上下游的发展与协同



Chiplet化的路径：

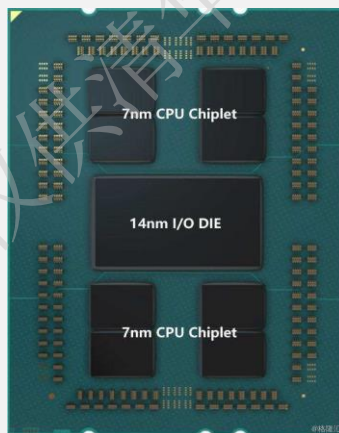
高性能计算核心 -> 高速复杂接口 -> 其它低速简单功能



✓ 第一个被业界量产的Chiplet
化功能类别是Memory

(图片来源：网络公开资料)

✓ CPU被解构，成为第二个类别完成Chiplet化的芯片



▲ 新机会产生的充要条件

高通用性 → 需求广 → 大体量

高价值 → 高售价 → 高毛利

高门槛 → 定价权 → 高毛利

国内chiplet技术发展的现状



Chiplet集成类型	国产供应链能力
MCM	支持
CoWoS	开发中
SoIC (CoW)	不支持
SoIC (WoW)	支持

互联标准:

- 国内多家标准组织相继成立

Chiplet设计:

- 自用型芯粒已有实用案例
- 平台型芯粒提供商，已有一批初创公司。

制造与集成:

- 参见右表

芯粒应用

- 国内大量的SOC厂商都是潜在的芯粒应用方。

工具

- 已有相关初创公司，开发中

结语

- Chiplet技术的发展和应用是大势所趋，是时代和产业的要求。
- Chiplet技术的推广应用是一个过程，而高性能计算芯片将率先chiplet化。
- Chiplet技术的发展同样需要半导体制造技术的支撑。

More than Moore, More than Imagination

超摩科技，超你所想

保密内容，
仅供清华大学集成电路学院内部参考